

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



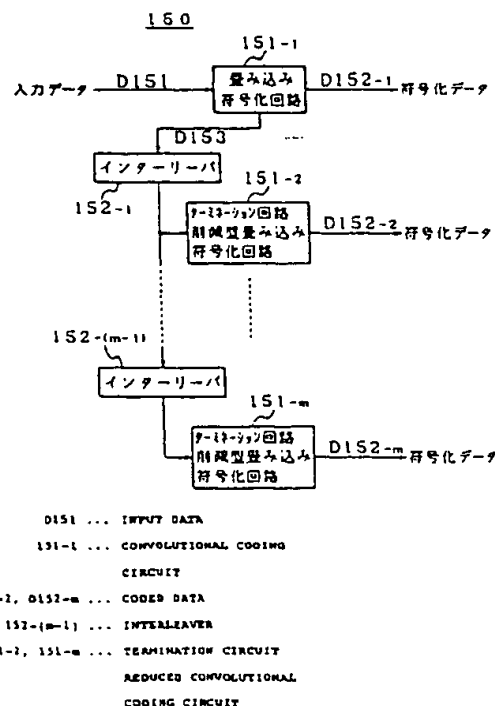
(51) 国際特許分類6 H03M 13/12, 13/22	A1	(11) 国際公開番号 WO99/12265  (43) 国際公開日 1999年3月11日(11.03.99)
(21) 国際出願番号 PCT/JP98/03933  (22) 国際出願日 1998年9月2日(02.09.98)  (30) 優先権データ 特願平9/237424 1997年9月2日(02.09.97) JP  (71) 出願人(米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo, (JP) (71) 出願人: および (72) 発明者 マックリース ロバート ジェイ (McELIECE, Robert J.)(US/US) カリフォルニア州 91125 バサデナ、 カリフォルニア ブルーバード1200E、 メール ストップ 201-85、 カリフォルニア インステテュート オブ テクノロジー内 California, (US)	(72) 発明者; および (75) 発明者/出願人(米国についてのみ) 村山 淳(MURAYAMA, Jun)[JP/JP] 服部雅之(HATTORI, Masayuki)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP) (74) 代理人 弁理士 山口邦夫, 外(YAMAGUCHI, Kunio et al.) 〒101-0047 東京都千代田区内神田1丁目15番2号 平山ビル5階 Tokyo, (JP)  (81) 指定国 JP, US.  添付公開書類 国際調査報告書	

(54) Title: TURBO-CODER/DECODER AND TURBO-CODING/DECODING METHOD

(54) 発明の名称 ターボ符号化・復号装置およびターボ符号化・復号方法

(57) Abstract

A turbo-code coder, etc., used for satellite communication, etc. Coded data (D152-1) are obtained by performing convolution algorithm on input data (D151) by means of a coding circuit (151-1). All input data (D153) including the termination bit at the coding circuit (151-1) are supplied to a series circuit of interleavers (152-1) to (152-(m-1)). Coded data (D152-2) to (D152-m) are obtained by performing convolution algorithm on the output data of the interleaves (152-1) to (152-(m-1)) by means of coding circuits (151-2) to (151-m), respectively. Each interleaver performs interleaving so that the coding circuits (151-2) to (151-m) may also simultaneously terminate each input data when the coding circuit (151-1) terminates each input data on the basis of a plurality of parts obtained by dividing each input data in accordance with their positions. Therefore, it becomes unnecessary to provide any termination circuit to the coding circuits (151-2) to (D151-m). In addition, a ROM, etc., for storing substitutional positional information becomes unnecessary, because each interleaver finds substitutional positions by calculation.



衛星通信等で使用されるターボ符号の符号化装置等に係るものである。入力データD151に対して符号化回路(151-1)で畳み込み演算をして符号化データD152-1を得る。符号化回路(151-1)でのターミネーションビットを含めた全ての入力データD153をインターリーブ(152-1)～(152-(m-1))の直列回路に供給する。各インターリーブの出力データに対してそれぞれ符号化回路(151-2)～(151-m)で畳み込み演算をして符号化データD152-2～D152-mを得る。各インターリーブは、入力データにおける各データに対し、その位置に応じて分割した複数の部分を基準にして、符号化回路151-1がターミネートするとき同時に符号化回路151-2～151-mもターミネートするようにインターリーブをする。符号化回路(151-2)～(D151-m)にターミネーション回路が不要となる。各インターリーブで置換位置を演算によって求めることで、置換位置情報が記憶されたROM等が不要となる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	CA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TC	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BC	ブルガリア	GW	ギニア・ビサウ	MA	マダガスカル	TR	トルコ
BJ	ベナン	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア 共和国	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	ML	マリ	UA	ウクライナ
BS	バハマ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CA	カナダ	ID	インドネシア	MR	モーリタニア	US	米国
CF	中央アフリカ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	MX	メキシコ	VN	ヴィエトナム
CH	スイス	IN	インド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CM	カメルーン	IT	イタリア	NO	ノルウェー		
CN	中国	JP	日本	NZ	ニュージーランド		
CU	キューバ	KE	ケニア	PL	ポーランド		
CY	キプロス	KG	キルギスタン	PT	ポルトガル		
CZ	チェコ	KP	北朝鮮	RO	ルーマニア		
DE	ドイツ	KR	韓国	RU	ロシア		
DK	デンマーク	KZ	カザフスタン	SD	スーダン		
EE	エストニア	LC	セントルシア	SE	スウェーデン		
ES	スペイン	LI	リヒテンシュタイン	SC	シンガポール		

(19) 日本国特許庁 (J P)

## 再公表特許 (A 1)

(11) 国際公開番号

WO 99 / 1 2 2 6 5

発行日 平成12年3月28日 (2000. 3. 28)

(43) 国際公開日 平成11年3月11日 (1999. 3. 11)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

H 0 3 M 13/23

13/27

審査請求 未請求 予備審査請求 未請求 (全 51 頁)

出願番号 特願平11-516608  
 (21) 国際出願番号 PCT / J P 9 8 / 0 3 9 3 3  
 (22) 国際出願日 平成10年9月2日 (1998. 9. 2)  
 (31) 優先権主張番号 特願平9-237424  
 (32) 優先日 平成9年9月2日 (1997. 9. 2)  
 (33) 優先権主張国 日本 (J P)  
 (81) 指定国 J P, U S

(71) 出願人 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (71) 出願人 マックリース ロバート ジェイ  
 カリフォルニア州 91125 バサデナ、カリ  
 フォルニア ブルーバード1200E、メイ  
 ル ストップ 201-85、カリフォルニア  
 インステテュート オブ テクノロジー  
 内  
 (74) 代理人 弁理士 山口 邦夫 (外1名)

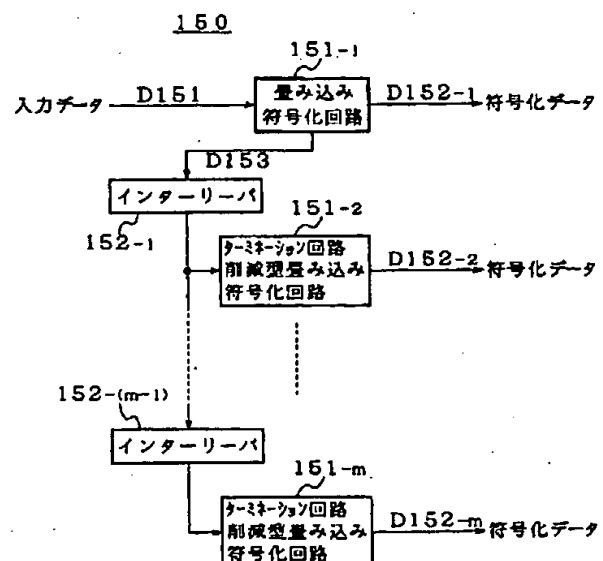
最終頁に続く

(54) 【発明の名称】 ターボ符号化・復号装置およびターボ符号化・復号方法

## (57) 【要約】

衛星通信等で使用されるターボ符号の符号化装置等に係るものである。入力データD151に対して符号化回路(151-1)で畳み込み演算をして符号化データD152-1を得る。符号化回路(151-1)でのターミネーションビットを含めた全ての入力データD153をインターリーバ(152-1)～(152-(m-1))の直列回路に供給する。各インターリーバの出力データに対してそれぞれ符号化回路(151-2)～(151-m)で畳み込み演算をして符号化データD152-2～D152-mを得る。各インターリーバは、入力データにおける各データに対し、その位置に応じて分割した複数の部分を基準にして、符号化回路151-1がターミネートするとき同時に符号化回路151-2～151-mもターミネートするようにインターリーブをする。符号化回路(151-2)～(D151-m)にターミネーション回路が不要となる。各インターリーバで置換位置を演算によって求めることで、置換位置情報が記されたROM等が不要となる。

FIG. 9



## 【特許請求の範囲】

1. 2個以上の畳み込み符号化回路と、1個以上のインターリーブ回路とを有して構成されるターボ符号化装置であって、

上記インターリーブ回路は、入力されるデータにおける各データの置換位置を演算する演算部を備えることを特徴とするターボ符号化装置。

2. 入力データに対して畳み込み符号化を行う第1の畳み込み符号化回路と、

上記入力データに対して順次インターリーブを行う第1～第 $(m-1)$  ( $m$ は2以上の整数)のインターリーブ回路と、

上記第1～第 $(m-1)$ のインターリーブ回路の出力データに対してそれぞれ畳み込み符号化を行う第2～第 $m$ の畳み込み符号化回路とを有することを特徴とする請求の範囲第1項に記載のターボ符号化装置。

3. 上記第1～第 $m$ の畳み込み符号化回路の出力データの少なくともいずれかに対してインターリーブおよび畳み込み符号化を1回または複数回行う、1組以上のインターリーブ回路および畳み込み符号化回路の直列回路をさらに備えることを特徴とする請求の範囲第2項に記載のターボ符号化装置。

4. 入力データに対して畳み込み符号化を行う第1の畳み込み符号化回路と、

上記第1の畳み込み符号化回路の出力データに対してインターリーブおよび畳み込み符号化の処理を交互に行う第1～第 $(m-1)$  ( $m$ は2以上の整数)のインターリーブ回路および第2～第 $m$ の畳み込み符号化回路の直列回路とを有することを特徴とする請求の範囲第1項に記載のターボ符号化装置。

5. 上記演算部は、上記入力されるデータにおける各データの位置 $i$ に応じた上記置換位置 $\pi_i$ を、上記インターリーブ回路のサイズを $N$ 、この $N$ と互いに素な整数を $a$ 、任意の整数を $b$ として、 $\pi_i = (a \cdot i + b) \bmod N$ の式で求めることを特徴とする請求の範囲第1項に記載のターボ符号化装置。

6. 上記演算部は、上記入力されるデータにおける各データの位置 $i$ に応じた上記置換位置 $\pi_i$ を、上記インターリーブ回路のサイズを $N$ 、予め定められた整数を $a$ 、 $b$ として、 $\pi_i = (a \cdot \pi_{i-1} + b) \bmod N$  (ただし、 $c$ を任意の整数として、 $\pi_0 = c \bmod N$ である)の式で求めることを特徴とする請求の範囲第1項に記

載のターボ符号化装置。

7. 上記  $b$  が 0 である場合、上記  $a$  は、 $a^p \neq 1$  ( $2 \leq p \leq N-2$ ) となるような整数であることを特徴とする請求の範囲第 6 項に記載のターボ符号化装置。

8. 上記  $b$  が 0 でない場合、 $N$  を上記  $N$  より 1 だけ小さい数とし、上記  $a$  と上記  $b$  のそれぞれは、 $b$  と  $N$  とは互いに素、 $a-1$  は  $N$  を割り切る全ての素数の倍数、および  $N$  が 4 の倍数であれば  $a-1$  も 4 の倍数である、という条件を満たすことを特徴とする請求の範囲第 6 項に記載のターボ符号化装置。

9. 上記演算部は、上記入力されるデータにおける各データの位置  $i$  に応じた置換位置  $\pi_i$  を  $M$  系列発生回路で求めることを特徴とする請求の範囲第 6 項に記載のターボ符号化装置。

10. 入力データに対して畳み込み符号化を行う第 1 の畳み込み符号化回路と、  
上記第 1 の畳み込み符号化回路でのターミネーションビットを含めた全ての入力データに対して順次インターリーブを行う第 1 ～第  $(m-1)$  ( $m$  は 2 以上の整数) のインターリーブ回路と、

上記第 1 ～第  $(m-1)$  のインターリーブ回路の出力データに対してそれぞれ畳み込み符号化を行う第 2 ～第  $m$  の畳み込み符号化回路とを有し、

上記インターリーブ回路は、入力されるデータにおける各データに対し、その位置に応じて分割した複数の部分を基準にして、上記第 1 の畳み込み符号化回路がターミネートするとき同時に上記第 2 ～第  $m$  の畳み込み符号化回路もターミネートするようにインターリーブを行うことを特徴とするターボ符号化装置。

11. 上記インターリーブ回路は、上記複数の部分の各々の内部でインターリーブを行うことを特徴とする請求の範囲第 10 項に記載のターボ符号化装置。

12. 上記インターリーブ回路は、上記複数の部分の各々を単位としてインターリーブを行うことを特徴とする請求の範囲第 10 項に記載のターボ符号化装置。

13. 上記インターリーブ回路は、上記複数の部分の各々の内部でインターリーブを行うと共に、上記複数の部分の各々を単位としてインターリーブを行うことを特徴とする請求の範囲第 10 項に記載のターボ符号化装置。

14. 入力データに対して畳み込み符号化を行う第 1 の畳み込み符号化回路と、

上記第1の畳み込み符号化回路でのターミネーションビットを含めた全ての入力データに対して順次インターリーブを行う第1～第 $(m-1)$  ( $m$ は2以上の整数)のインターリーブ回路と、上記第1～第 $(m-1)$ のインターリーブ回路の出力データに対してそれぞれ畳み込み符号化を行う第2～第 $m$ の畳み込み符号化回路とを有し、上記インターリーブ回路は、入力されるデータにおける各データに対し、その位置に応じて分割した複数の部分を基準にして、上記第1の畳み込み符号化回路がターミネートするとき同時に上記第2～第 $m$ の畳み込み符号化回路もターミネートするようにインターリーブを行うターボ符号化装置で得られる符号化データを復号するターボ復号装置であって、

上記符号化データを復号する複数のソフトアウトプット復号回路を有し、

上記複数のソフトアウトプット復号回路は、各々の間でターミネーションビットを含めた全ての入力データに対する推定確率値データのやり取りを行って上記符号化データの復号を行うことを特徴とするターボ復号装置。

15. 畳み込み符号化を行う符号化工程と、インターリーブを行うインターリーブ工程とを有するターボ符号化方法であって、

上記インターリーブ工程では、インターリーブすべきデータにおける各データの置換位置を演算によって求めることを特徴とするターボ符号化方法。

16. 入力データに対して畳み込み符号化を行う第1の符号化工程と、

上記入力データに対して順次インターリーブを行うインターリーブ工程と、

上記インターリーブ工程で順次インターリーブされたデータに対してそれぞれ畳み込み符号化を行う第2の符号化工程とを有することを特徴とする請求の範囲第15項に記載のターボ符号化方法。

17. 上記第1および第2の符号化工程で得られる複数の符号化データの少なくともいずれかに対してインターリーブおよび畳み込み符号化を1回または複数回行うインターリーブ／符号化工程をさらに有し、

上記インターリーブ／符号化工程におけるインターリーブでは、インターリーブすべきデータにおける各データの置換位置を演算によって求めることを特徴とする請求の範囲第16項に記載のターボ符号化方法。

18. 入力データに対して畳み込み符号化を行う第1の符号化工程と、

上記第1の符号化工程で得られる符号化データに対してインターリーブおよび畳み込み符号化を1回または複数回行うインターリーブ/符号化工程とを有することを特徴とする請求の範囲第15項に記載のターボ符号化方法。

19. 上記インターリーブ工程では、上記インターリーブすべきデータの各データの位置  $i$  に応じた上記置換位置  $\pi_i$  を、上記インターリーブのサイズを  $N$ 、この  $N$  と互いに素な整数を  $a$ 、任意の整数を  $b$  として、 $\pi_i = (a \cdot i + b) \bmod N$  の式で求めることを特徴とする請求の範囲第15項に記載のターボ符号化方法。

20. 上記インターリーブ工程では、上記インターリーブすべきデータの各データの位置  $i$  に応じた上記置換位置  $\pi_i$  を、上記インターリーブのサイズを  $N$ 、予め定められた整数を  $a$ 、 $b$  として、 $\pi_i = (a \cdot \pi_{i-1} + b) \bmod N$  (ただし、 $c$  を任意の整数として、 $\pi_0 = c \bmod N$  である) の式で求めることを特徴とする請求の範囲第15項に記載のターボ符号化方法。

21. 上記  $b$  が0である場合、上記  $a$  は、 $a^p \neq 1$  ( $2 \leq p \leq N-2$ ) となるような整数であることを特徴とする請求の範囲第20項に記載のターボ符号化方法。

22. 上記  $b$  が0でない場合、 $N$  を上記  $N$  より1だけ小さい数とし、上記  $a$  と上記  $b$  のそれぞれは、 $b$  と  $N$  とは互いに素、 $a-1$  は  $N$  を割り切る全ての素数の倍数、および  $N$  が4の倍数であれば  $a-1$  も4の倍数である、という条件を満たすことを特徴とする請求の範囲第20項に記載のターボ符号化方法。

23. 上記インターリーブ工程では、上記インターリーブすべきデータの各データの位置  $i$  に応じた置換位置  $\pi_i$  を、 $M$  系列発生で求めることを特徴とする請求の範囲第15項に記載のターボ符号化方法。

24. 入力データに対して畳み込み符号化を行う第1の符号化工程と、

上記第1の符号化工程でのターミネーションビットを含めた全ての入力データに対して順次インターリーブを行うインターリーブ工程と、

上記インターリーブ工程で順次インターリーブされたデータに対してそれぞれ畳み込み符号化を行う第2の符号化工程とを有し、



上記インターリーブ工程では、インターリーブすべきデータにおける各データに対し、その位置に応じて分割した複数の部分を基準にして、上記第1の符号化工程で符号化回路がターミネートするとき同時に上記第2の符号化工程でも符号化回路がターミネートするようにインターリーブすることを特徴とするターボ符号化方法。

25. 上記インターリーブ工程では、上記複数の部分の各々の内部でインターリーブを行うことを特徴とする請求の範囲第24項に記載のターボ符号化方法。

26. 上記インターリーブ工程では、上記複数の部分の各々を単位としてインターリーブを行うことを特徴とする請求の範囲第24項に記載のターボ符号化方法。

27. 上記インターリーブ工程では、上記複数の部分の各々の内部でインターリーブを行うと共に、上記複数の部分の各々を単位としてインターリーブを行うことを特徴とする請求の範囲第24項に記載のターボ符号化方法。

28. 入力データに対して畳み込み符号化を行う第1の符号化工程と、上記第1の符号化工程でのターミネーションビットを含めた全ての入力データに対して順次インターリーブを行うインターリーブ工程と、上記インターリーブ工程で順次インターリーブされたデータに対してそれぞれ畳み込み符号化を行う第2の符号化工程とを有し、上記インターリーブ工程では、インターリーブすべきデータにおける各データに対し、その位置に応じて分割した複数の部分を基準にして、上記第1の符号化工程で符号化回路がターミネートするとき同時に上記第2の符号化工程でも符号化回路がターミネートするようにインターリーブするターボ符号化方法で得られる符号化データを復号するターボ復号方法であって、

上記符号化データを複数のソフトアウトプット復号回路を使用して復号する復号工程を有し、

上記復号工程では、上記複数のソフトアウトプット復号回路の間でターミネーションビットを含めた全ての入力データに対する推定確率値データのやり取りを行って上記符号化データの復号を行うことを特徴とするターボ復号方法。

## 【発明の詳細な説明】

ターボ符号化・復号装置およびターボ符号化・復号方法

## 技術分野

この発明は、例えば衛星通信等で使用されるターボ符号の符号化や復号を行う際に適用して好適なターボ符号化・復号装置およびターボ符号化・復号方法に関する。

## 背景技術

符号性能の理論的限界であるシャノンリミットに近い性能を示す符号として、ターボ符号が知られている。このターボ符号に関しては、複数の畳み込み符号化回路とインターリーブ回路（以下、「インターリーバ」という）を組み合わせた構成によって符号化を行うと共に、復号側では複数のソフトアウトプットを出力する復号回路の間で入力データに関する情報をやり取りして最終的な復号結果を得るものである。

第15図は、従来のターボ符号化装置300の構成を示している。このターボ符号化装置300は、入力データD301に対して畳み込み符号化を行って符号化データD302-1を得る畳み込み符号化回路301-1と、この入力データD301に対して順次インターリーブを行うインターリーバ302-1～302-(m-1)と、これらインターリーバ302-1～302-(m-1)の出力データに対してそれぞれ畳み込み符号化を行って符号化データD302-2～D302-mを得る畳み込み符号化回路301-2～301-mとを有している。ここで、mは2以上の整数である。

畳み込み符号化回路301-1～301-mは、入力されたデータに対して畳み込み演算を行い、演算結果をそれぞれ符号化データとして出力するものである。また、インターリーバ302-1～302-(m-1)は、入力されたデータにおける各データの順序を交錯して出力するものである。

第16図は、畳み込み符号化回路301-1～301-mの一例を示している。第

16図に示す畳み込み符号化回路310は、拘束長3のフィードバック型畳み込み符号化回路である。この畳み込み符号化回路310は、2個のシフトレジスタ

3 1 1-1, 3 1 1-2と、3個のエクスクルーシブオア回路（以下、「E X O R回路」という）3 1 2-1~3 1 2-3と、ターミネーション回路3 1 3とを有してなり、入力データD 3 1 1から符号化データD 3 1 2を生成するものである。

ここで、シフトレジスタ3 1 1-1, 3 1 1-2は入力されたデータを1単位時間遅延させる遅延素子として機能し、またE X O R回路3 1 2-1~3 1 2-3は入力されたデータの排他的論理和を出力する。また、ターミネーション回路3 1 3は、入力データD 3 1 1の全てを符号化し終わるまでは、入力データD 3 1 1を出力し、符号化し終わった時点から2単位時間（シフトレジスタ数に対応した時間）だけフィードバックデータD 3 1 3を出力する。入力データD 3 1 1が全て符号化された後の処理は、ターミネーションと呼ばれるシフトレジスタ3 1 1-1, 3 1 1-2の内容を全て0に戻すためのもので、復号側ではこの処理を前提に復号を行う。

第17図は、インターリーバ3 0 2-1~3 0 2-(m-1)の一例を示している。第17図に示すインターリーバ3 2 0は、入力データ保持メモリ3 2 1と、データ置換回路3 2 2と、出力データ保持メモリ3 2 3と、置換データROM (Read Only Memory) 3 2 4とを有してなり、入力データD 3 2 1における各データの順序を交錯して出力データD 3 2 2を得るものである。

ここで、入力データD 3 2 1は入力データ保持メモリ3 2 1に一旦格納された後、データ置換回路3 2 2によって順序が並べ換えられる。このデータの順序の並べ換えは、置換データROM 3 2 4の内容、つまり置換位置情報に基づいて行われる。そして、順序が並べ換えられたデータは出力データ保持メモリ3 2 3に格納され、その後出力データD 3 2 2として出力される。

第18図は、インターリーバ3 2 0のサイズが5で、置換データROM 3 2 4の内容が第19図に示すものであるときのインターリーバ3 2 0の動作例を示している。すなわち、入力データD 3 2 1が“1 1 0 1 0”であるとき、出力データD 3 2 2として“0 0 1 1 1”が得られる。

第15図に示すターボ符号化装置3 0 0の動作を説明する。入力データD 3 0

1は畳み込み符号化回路3 0 1-1に供給される。そして、この畳み込み符号化回

路301-1では入力データD301に対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データD302-1が出力される。

また、入力データD301は、インターリーバ302-1~302-(m-1)の直列回路に供給され、順次入力されたデータにおける各データの順序が交錯されて出力される。これらインターリーバ302-1~302-(m-1)の出力データはそれぞれ畳み込み符号化回路301-2~301-mに供給される。そして、これら畳み込み符号化回路301-2~301-mでは、それぞれインターリーバ302-1~302-(m-1)の出力データに対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データD302-2~D302-mが出力される。

第20図は、ターボ符号化装置300の入力データD301と符号化データD302-1~D302-mとのビット数の関係を表したものである。入力されたkビットのデータD301は、各畳み込み符号化回路301-1~301-mによってターミネーションを含む符号化処理が行われ、 $(n_1+t_1) \sim (n_m+t_m)$ ビットの符号化データD302-1~D302-mとして出力される。

また、第21図は、従来のターボ復号装置400の構成を示している。このターボ復号装置400は、ターボ符号化装置300より出力される符号化データ（受信データ）の個数に対応した複数のソフトアウトプット復号回路401-1~401-mを有してなるものである。ソフトアウトプット復号回路401-1~401-mは、MAP (Maximum A posteriori probability) デコーダおよびSOVA (Soft Output Viterbi Algorithm) デコーダ等の、符号化側での入力データが0または1である確率を算出する機能を持つ、いわゆるソフトアウトプット復号方式を用いて構成される。

第21図に示すターボ復号装置400の動作を説明する。受信データ（符号化データ）D401-1~D401-mは、それぞれソフトアウトプット復号回路401-1~401-mに供給される。そして、各復号回路401-1~401-mでは、それぞれ符号化側でのターミネーションビットを除いた入力データに対する推定確

率値データを互いに利用し、数回または数10回の反復復号動作が行われる。そして、任意の復号回路（第21図では復号回路401-1）より、最終的な復号データD402が出力される。

第22図は、ターボ復号装置400の受信データD401-1~D401-m、推定確率値データおよび復号データD402のビット数の関係を表したものであり、第15図のターボ符号化装置300における各ビット数の関係と対応している。ソフトアウトプット復号回路401-1~401-mは、それぞれ $(n_i + t_i) \sim (n_m + t_m)$ ビットの受信データD401-1~D401-mより、ターミネーションビットを除いた入力データのkビットの推定確率値データを算出する。そして、そのkビットの推定確率値データを各復号回路間でやり取りし、最終的にkビットの復号データD402を出力する。

ところで、上述したようなターボ符号化装置300においては、インターリーブ302-1~302-(m-1)のそれぞれに置換位置情報が記憶された置換データROM324が必要となり、また畳み込み符号化回路301-1~301-mのそれぞれにターミネーション回路313が必要となり、回路規模増大の原因となっている。

また、ターボ符号化装置300でターミネーション以前に出力された符号化データは共通の入力データから生成されたものであるため、ターボ復号装置400内の復号回路401-1~401-mの間で入力データの推定確率値データのやり取りを行うことができるが、ターミネーション時に出力された符号化データはそれぞれの畳み込み符号化回路の状態に応じて一般に異なる入力データが与えられて生成されたものであるため、ターミネーション時の入力データに対する推定確率値データのやり取りを行えず、結果として復号性能の劣化を招いている。

この発明の目的は、回路規模が小さく、復号性能が向上したターボ符号化装置やターボ復号装置等を提供することにある。

#### 発明の開示

この発明に係るターボ符号化装置は、2個以上の畳み込み符号化回路と、1個以上のインターリーブ回路とを有して構成されるターボ符号化装置であって、イ

インターリーブ回路は、入力されるデータにおける各データの置換位置を演算する演算部を備えることを特徴とするものである。例えば、入力データに対して畳み込み符号化を行う第1の畳み込み符号化回路と、入力データに対して順次インターリーブを行う第1～第 $(m-1)$  ( $m$ は2以上の整数)のインターリーブ回路と、この第1～第 $(m-1)$ のインターリーブ回路の出力データに対してそれぞれ畳み込み符号化を行う第2～第 $m$ の畳み込み符号化回路とを有している。また例えば、入力データに対して畳み込み符号化を行う第1の畳み込み符号化回路と、この第1の畳み込み符号化回路の出力データに対してインターリーブおよび畳み込み符号化の処理を交互に行う第1～第 $(m-1)$  ( $m$ は2以上の整数)のインターリーブ回路および第2～第 $m$ の畳み込み符号化回路の直列回路とを有している。

また、この発明に係るターボ符号化方法は、畳み込み符号化を行う符号化工程と、インターリーブを行うインターリーブ工程とを有するターボ符号化方法であって、インターリーブ工程ではインターリーブすべきデータにおける各データの置換位置を演算によって求めることを特徴とするものである。例えば、入力データに対して畳み込み符号化を行う第1の符号化工程と、入力データに対して順次インターリーブを行うインターリーブ工程と、このインターリーブ工程で順次インターリーブされたデータに対してそれぞれ畳み込み符号化を行う第2の符号化工程とを有している。また例えば、入力データに対して畳み込み符号化を行う第1の符号化工程と、この第1の符号化工程で得られる符号化データに対してインターリーブおよび畳み込み符号化を1回または複数回行うインターリーブ／符号化工程とを有している。

この発明において、例えば、入力データに対して第1の畳み込み符号化回路で畳み込み演算が行われ、さらにターミネーションが行われて符号化データが出力される。また、入力データは第1～第 $(m-1)$ のインターリーブ回路の直列回路に供給され、各インターリーブ回路では入力されたデータにおける各データの順序が交錯されて出力される。そして、各インターリーブ回路の出力データに対して第2～第 $m$ の畳み込み符号化回路でそれぞれ畳み込み演算が行われ、さらにターミネーションが行われて符号化データが出力される。

この場合、各インターリーブ回路では、置換データROMより置換位置情報を得るものではなく、演算によって置換位置が求められる。例えば、入力されるデータにおける各データの位置  $i$  に応じた置換位置  $\pi_i$  を、インターリーブ回路のサイズを  $N$ 、この  $N$  と互いに素な整数を  $a$ 、任意の整数を  $b$  として、 $\pi_i = (a \cdot i + b) \bmod N$  の式で求める。また例えば、入力されるデータにおける各データの位置  $i$  に応じた置換位置  $\pi_i$  を、インターリーブ回路のサイズを  $N$ 、予め定められた整数を  $a$ 、 $b$  として、 $\pi_i = (a \cdot \pi_{i-1} + b) \bmod N$  (ただし、 $c$  を任意の整数として、 $\pi_0 = c \bmod N$  である) の式で求める。さらに例えば、入力されるデータにおける各データの位置  $i$  に応じた置換位置  $\pi_i$  を  $M$  系列発生回路で求めるものである。

このように各インターリーブ回路で置換位置を演算で求めることにより、各インターリーブ回路には置換位置情報が記憶された置換データROM等が不要となり、回路規模を小さくすることが可能となる。

また、この発明に係るターボ符号化装置は、入力データに対して畳み込み符号化を行う第1の畳み込み符号化回路と、この第1の畳み込み符号化回路でのターミネーションビットを含めた全ての入力データに対して順次インターリーブを行う第1～第  $(m-1)$  ( $m$  は2以上の整数) のインターリーブ回路と、この第1～第  $(m-1)$  のインターリーブ回路の出力データに対してそれぞれ畳み込み符号化を行う第2～第  $m$  の畳み込み符号化回路とを有し、インターリーブ回路は、入力されるデータにおける各データを、その位置に応じて分割した複数の部分を基準にして、第1の畳み込み符号化回路がターミネートするとき同時に第2～第  $m$  の畳み込み符号化回路もターミネートするようにインターリーブを行うものである。

また、この発明に係るターボ符号化方法は、入力データに対して畳み込み符号化を行う第1の符号化工程と、この第1の符号化工程でのターミネーションビットを含めた全ての入力データに対して順次インターリーブを行うインターリーブ工程と、このインターリーブ工程で順次インターリーブされたデータに対してそれぞれ畳み込み符号化を行う第2の符号化工程とを有し、インターリーブ工程では、入力されるデータにおける各データを、その位置に応じて分割した複数の部

分を基準にして、第1の符号化工程で符号化回路がターミネートするとき同時に第2の符号化工程でも符号化回路がターミネートするようにインターリーブするものである。

この発明において、入力データに対して第1の畳み込み符号化回路で畳み込み演算が行われ、さらにターミネーションが行われて符号化データが出力される。また、第1の畳み込み符号化回路でのターミネーションビットを含めた全ての入力データは第1～第 $(m-1)$ のインターリーブ回路の直列回路に供給され、各インターリーブ回路では入力されたデータにおける各データの順序が交錯されて出力される。そして、各インターリーブ回路の出力データに対して第2～第 $m$ の畳み込み符号化回路でそれぞれ畳み込み演算が行われて符号化データが出力される。

この場合、各インターリーブ回路では、入力されるデータにおける各データを、その位置に応じて分割した複数の部分を基準にして、第1の畳み込み符号化回路がターミネートするとき同時に第2～第 $m$ の畳み込み符号化回路もターミネートするようにインターリーブが行われる。例えば、各インターリーブ回路では複数の部分の各々の内部、あるいは複数の部分の各々を単位としてインターリーブが行われる。

このように第2～第 $m$ の畳み込み符号化回路では、ターミネーション回路なしに自動的にターミネーション処理が行われることとなり、回路規模を小さくすることが可能となる。

また、この発明に係るターボ復号装置は、入力データに対して畳み込み符号化を行う第1の畳み込み符号化回路と、上記第1の畳み込み符号化回路でのターミネーションビットを含めた全ての入力データに対して順次インターリーブを行う第1～第 $(m-1)$  ( $m$ は2以上の整数)のインターリーブ回路と、この第1～第 $(m-1)$ のインターリーブ回路の出力データに対してそれぞれ畳み込み符号化を行う第2～第 $m$ の畳み込み符号化回路とを有し、インターリーブ回路は、入力されるデータにおける各データをその位置に応じて分割した複数の部分を基準にして、第1の畳み込み符号化回路がターミネートするとき同時に第2～第 $m$ の畳み込み符号化回路もターミネートするようにインターリーブを行うターボ符号



化装置で得られる符号化データを復号するターボ復号装置であって、符号化データを復号する複数のソフトアウトプット復号回路を有し、この複数のソフトアウトプット復号回路は、各々の間でターミネーションビットを含めた全ての入力データに対する推定確率値データのやり取りを行って符号化データの復号を行うものである。

また、この発明に係るターボ復号方法は、入力データに対して畳み込み符号化を行う第1の符号化工程と、この第1の符号化工程でのターミネーションビットを含めた全ての入力データに対して順次インターリーブを行うインターリーブ工程と、このインターリーブ工程で順次インターリーブされたデータに対してそれぞれ畳み込み符号化を行う第2の符号化工程とを有し、インターリーブ工程では、インターリーブすべきデータにおける各データをその位置に応じて分割した複数の部分を基準にして、第1の符号化工程で符号化回路がターミネートするとき同時に第2の符号化工程でも符号化回路がターミネートするようにインターリーブするターボ符号化方法で得られる符号化データを復号するターボ復号方法であって、符号化データを複数のソフトアウトプット復号回路を使用して復号する復号工程を有し、この復号工程では、複数のソフトアウトプット復号回路の間でターミネーションビットを含めた全ての入力データに対する推定確率値データのやり取りを行って符号化データの復号を行うものである。

この発明において、ターボ符号化装置で得られる複数の符号化データに対応した受信データは複数のソフトアウトプット復号回路に供給される。各復号回路ではそれぞれ符号化側での入力データに対する推定確率値データを互いに利用し、数回または数10回の反復復号動作が行われる。そして、任意の復号回路より最終的な復号データが得られる。ここで、複数の符号化データは、ターミネーション時のデータも含めて全て同じデータから生成されたものであり、各復号回路の間でターミネーションビットを含めた全ての入力データの推定確率値データのやり取りを行って受信データの復号が行われる。これにより、復号性能を高めることが可能となる。

図面の簡単な説明

第1図は、実施の形態1としてのターボ符号化装置の構成を示すブロック図である。第2図は、実施の形態1におけるインターリーバの構成を示すブロック図である。第3図は、実施の形態1におけるインターリーバの動作例を示す図である。第4図は、M系列発生回路の構成例を示すブロック図である。第5図は、実施の形態2としての直列型のターボ符号化装置の構成を示すブロック図である。第6図は、直列型のターボ符号化装置に対応するターボ復号装置の構成を示すブロック図である。第7図は、実施の形態3としてのハイブリッド型のターボ符号化装置の構成を示すブロック図である。第8図は、ハイブリッド型のターボ符号化装置に対応するターボ復号装置の構成を示すブロック図である。第9図は、実施の形態4としてのターボ符号化装置の構成を示すブロック図である。第10図は、実施の形態4におけるインターリーバの構成を示すブロック図である。第11図は、実施の形態4におけるインターリーバの動作例を示す図である。第12図は、実施の形態4における入力データと符号化データのビット数の関係を示す図である。第13図は、実施の形態5としてのターボ復号装置の構成を示すブロック図である。第14図は、実施の形態5における受信データ（符号化データ）、推定確率値データおよび復号データのビット数の関係を示す図である。第15図は、従来のターボ符号化装置の構成を示すブロック図である。第16図は、従来のターボ符号化装置における畳み込み符号化回路の構成を示すブロック図である。第17図は、従来のターボ符号化装置におけるインターリーバの構成を示すブロック図である。第18図は、従来のターボ符号化装置におけるインターリーバの動作例を示す図である。第19図は、従来のターボ符号化装置におけるインターリーバを構成する置換データROMの内容例を示す図である。第20図は、従来のターボ符号化装置の入力データと符号化データのビット数の関係を示す図である。第21図は、従来のターボ復号装置の構成を示すブロック図である。第22図は、従来のターボ復号装置における受信データ、推定確率値データおよび復号データのビット数の関係を示す図である。

発明を実施するための最良の形態

第1図は、実施の形態1としての並列型のターボ符号化装置100の構成を示

している。このターボ符号化装置 100 は、入力データ D101 に対して畳み込み符号化を行って符号化データ D102-1 を得る畳み込み符号化回路 101-1 と、この入力データ D101 に対して順次インターリーブを行う (m-1) 個のインターリーバ 102-1 ~ 102-(m-1) と、これらインターリーバ 102-1 ~ 102-(m-1) の出力データに対してそれぞれ畳み込み符号化を行って符号化データ D102-2 ~ D102-m を得る (m-1) 個の畳み込み符号化回路 101-2 ~ 101-m とを有している。ここで、m は 2 以上の整数である。

畳み込み符号化回路 101-1 ~ 101-m は、入力されたデータに対して畳み込み演算を行い、演算結果をそれぞれ符号化データとして出力するものである。また、インターリーバ 102-1 ~ 102-(m-1) は、入力されたデータにおける各データの順序を交錯して出力するものである。畳み込み符号化回路 101-1 ~ 101-m は、第 15 図に示す従来のターボ符号化装置 300 における畳み込み符号化回路 301-1 ~ 301-m と同様に構成される (第 16 図参照)。

第 2 図は、インターリーバ 102-1 ~ 102-(m-1) の構成を示している。第 2 図に示すインターリーバ 120 は、入力データ保持メモリ 121 と、データ算術置換回路 122 と、出力データ保持メモリ 123 とを有してなり、入力データ D121 における各データの順序を交錯して出力データ D122 を得るものである。ここで、入力データ D121 は入力データ保持メモリ 121 に一旦格納された後、データ算術置換回路 122 によって順序が並べ換えられる。そして、順序が並べ換えられたデータは出力データ保持メモリ 123 に格納され、その後出力データ D122 として出力される。

上述したデータ算術置換回路 122 では、入力される各データの位置 i に応じて、その位置 i のデータを、(1) 式で算出される位置  $\pi_i$  に置換する。ここで、N はインターリーバ 120 のサイズ、つまり入力データ保持メモリ 121 および出力データ保持メモリ 123 の大きさである。また、a, b は予め定められる値であり、a は N と互いに素な整数、b は任意の整数である。

$$\pi_i = (a \cdot i + b) \bmod N \quad \dots (1)$$

第 3 図は、N = 5 であり、(1) 式で a = 3、b = 4 として置換位置  $\pi_i$  を求め

たときのインターリーバ120の動作例を示している。すなわち、入力データD121が“11010”であるとき、出力データD122として“00111”が得られる。つまり、第18図に示すインターリーバ320の動作と同じ動作をする。

なお、データ算術置換回路122では、(1)式の代わりに、(2)式によって、置換位置 $\pi_i$ を求めるようにしてもよい。

$$\pi_i = (a \cdot \pi_{i-1} + b) \bmod N, \quad (\pi_0 = c \bmod N) \quad \dots (2)$$

ここで、Nはインターリーバ120の大きさであり、定数a, b, cは、予め定められる値である。b=0の場合、aは $a^p \neq 1 \ (2 \leq p \leq N-2)$ となるような整数、cは任意の整数である。b≠0の場合、式中のNを保持メモリのサイズより1だけ小さい数とし、a, bが下記の条件を満たすようにそれぞれ選択される。cは任意の整数である。

- i) bとNが互いに素である。
- ii)  $a-1$ がNを割り切る全ての素数の倍数である。
- iii) Nが4の倍数であれば、 $a-1$ も4の倍数である。

また、データ算術置換回路122では、インターリーバ120のサイズNを任意の整数nに対して $2^n-1$ となるように選択した場合、第4図に示すM系列発生回路130によって入力データの置換位置を計算することも可能である。

M系列発生回路130は、複数のシフトレジスタ131-1~131-nと、複数のEXOR回路132-1~132-(n-1)と、複数のアンド回路133-1~133-nとを有しており、置換位置信号を順次生成する。予め設定される係数 $a_1 \sim a_n$ は、多項式 $a_n x^n + a_{n-1} x^{n-1} + \dots + a_2 x^2 + a_1 x + 1$ が、GF(2)におけるn次の原始既約多項式になるように選択される。

シフトレジスタ131-1~131-nは、入力データを1単位時間遅延させて出力し、EXOR回路132-1~132-(n-1)は入力データの排他的論理和を、アンド回路133-1~133-nは入力データの論理積を出力する。シフトレジスタ131-1~131-nには、最初に全てが0ではないように値が設定され、その後1単位時間毎に置換位置信号を出力する。データ算術置換回路122では、時間iにおける置換位置信号を、位置iの入力データの置換位置を2進数で表した

ものとして、入力データを順次指定された位置に置換する。

第1図に示すターボ符号化装置100の動作を説明する。入力データD101は畳み込み符号化回路101-1に供給される。そして、この畳み込み符号化回路101-1では入力データD101に対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データD102-1が出力される。

また、入力データD101は、インターリーブ102-1~102-(m-1)の直列回路に供給され、順次入力されたデータにおける各データの順序が交錯されて出力される。これら、インターリーブ102-1~102-(m-1)の出力データはそれぞれ畳み込み符号化回路101-2~101-mに供給される。そして、これら畳み込み符号化回路101-2~101-mでは、それぞれインターリーブ102-1~102-(m-1)の出力データに対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データD102-2~102-mが出力される。

第1図に示すターボ符号化装置100によれば、各インターリーブ102-1~102-(m-1)では簡単な算術演算で置換位置を求めて入力されたデータの並べ換えを行っている。したがって、各インターリーブ102-1~102-(m-1)には置換位置情報が記憶された置換データROM等が不要となり、回路規模を小さくできる。

第5図は、実施の形態2としての直列型のターボ符号化装置500の構成を示している。

このターボ符号化装置500は、入力データD501に対して畳み込み符号化を行って符号化データD502-1を得る畳み込み符号化回路501-1と、この符号化データD502-1に対してインターリーブおよび畳み込み符号化を交互に行って符号化データD502-mを得る(m-1)個のインターリーブ502-1~502-(m-1)および(m-1)個の畳み込み符号化回路502-2~502-mとを有している。ここで、mは2以上の整数である。

畳み込み符号化回路501-1~501-mは、入力されたデータに対して畳み込み演算を行い、演算結果をそれぞれ符号化データとして出力するものである。ま

た、インターリーバ502-1~502-(m-1)は、入力されたデータにおける各データの順序を交錯して出力するものである。

畳み込み符号化回路501-1~501-mは、第15図に示す従来のターボ符号化装置300における畳み込み符号化回路301-1~301-mと同様に構成される(第16図参照)。また、インターリーバ502-1~502-(m-1)は、第1図に示すターボ符号化装置100におけるインターリーバ102-1~102-(m-1)と同様に、入力データ保持メモリ、データ算術回路および出力データ保持メモリを有して構成される(第2図参照)。ただし、ターボ符号化装置100におけるインターリーバ102-1~102-(m-1)のそれぞれに供給される入力データのビット数は同じであるが、インターリーバ502-1~502-(m-1)のそれぞれに供給される入力データのビット数は順次大きくなっていく。

第5図に示すターボ符号化装置500の動作を説明する。入力データD501は畳み込み符号化回路501-1に供給される。そして、この畳み込み符号化回路501-1では入力データD501に対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データD502-1が出力される。

この符号化データ502-1はインターリーバ502-1でデータの順序が交錯された後に畳み込み符号化回路501-2に供給される。そして、この畳み込み符号化回路501-2では入力データに対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データD502-2が出力される。以下同様に、インターリーバ502-2~502-(m-1)および畳み込み符号化回路501-3~501-mでインターリーブおよび畳み込み符号化が交互に行われ、畳み込み符号化回路501-mより最終的な符号化データD502-mが出力される。

第5図に示すターボ符号化装置500によれば、第1図に示すターボ符号化装置100と同様に、各インターリーバ502-1~502-(m-1)では簡単な算術演算で置換位置を求めて入力されたデータの並べ換えが行われる。したがって、各インターリーバ502-1~502-(m-1)には置換位置情報が記憶された置換データROM等が不要となり、回路規模を小さくできる。

第6図は、第5図に示す直列型のターボ符号化装置500に対応したターボ復号装置600の構成を示している。このターボ復号装置600は、ターボ符号化装置500を構成する畳み込み符号化回路501-m~501-1に対応したm個のソフトアウトプット復号回路601-m~601-1が直列接続されて構成されている。ソフトアウトプット復号回路601-m~601-1は、符号化側での入力データが0または1である確率を算出する機能を持つ、いわゆるソフトアウトプット復号方式を用いて構成されている。

このターボ復号装置600においては、受信データD602-mに対してソフトアウトプット復号回路601-m~601-1で順次復号動作が行われ、最終段のソフトアウトプット復号回路601-1より最終的な復号データD601が出力される。この場合、各ソフトアウトプット復号回路601-m~601-1では、隣接するソフトアウトプット復号回路で算出される符号化側での入力データおよび出力データに対する推定確率値データを利用し、数回または数10回の反復復号動作が行われる。なお、図示せずも、ソフトアウトプット復号回路601-m~601-2の復号動作で得られる復号データは、符号化装置におけるインターリーブとは逆のデインターリーブが行われて次段のソフトアウトプット復号回路601-(m-1)~601-1に供給されている。

第7図は、実施の形態3としてのハイブリッド型のターボ符号化装置700の構成を示している。

このターボ符号化装置700は、入力データD701に対して畳み込み符号化を行って符号化データD702(1,1)を得る畳み込み符号化回路701(1,1)と、この符号化データD702(1,1)に対してインターリーブおよび畳み込み符号化を交互に行って符号化データD702(1,m2)を得る(m2-1)個のインターリーバ702(1,1)~702(1,m2-1)および(m2-1)個の畳み込み符号化回路701(1,2)~701(1,m2)とを有している。ここで、m2は2以上の整数である。

また、ターボ符号化装置700は、入力データD701に対して順次インターリーブを行う(m1-1)個のインターリーバ702(1,0)~702(m1-1,0)と、これらインターリーバ702(1,0)~702(m1-1,0)の出力データに対してそれぞれ畳み込み符号化を行って符号化データD702(2,1)~D702(m1,1)を

得る

( $m1-1$ ) 個の畳み込み符号化回路  $701(2,1) \sim 701(m1,1)$  とを有している。ここで、 $m1$  は 2 以上の整数である。

畳み込み符号化回路  $701(1,1) \sim 701(1,m2)$ ,  $701(2,1) \sim 701(m1,1)$  は、入力されたデータに対して畳み込み演算を行い、演算結果をそれぞれ符号化データとして出力するものである。また、インターリーバ  $702(1,1) \sim 702(1,m2-1)$ ,  $702(1,0) \sim 702(m1-1,0)$  は、入力されたデータにおける各データの順序を交錯して出力するものである。

畳み込み符号化回路  $701(1,1) \sim 701(1,m2)$ ,  $701(2,1) \sim 701(m1,1)$  は、第 15 図に示す従来のターボ符号化装置 300 における畳み込み符号化回路  $301-1 \sim 301-m$  と同様に構成される (第 16 図参照)。また、インターリーバ  $702(1,1) \sim 702(1,m2-1)$ ,  $702(1,0) \sim 702(m1-1,0)$  は、第 1 図に示すターボ符号化装置 100 におけるインターリーバ  $102-1 \sim 102-(m-1)$  と同様に、入力データ保持メモリ、データ算術回路および出力データ保持メモリを有して構成される (第 2 図参照)。ただし、ターボ符号化装置 100 におけるインターリーバ  $102-1 \sim 102-(m-1)$  のそれぞれに供給される入力データのビット数は同じであるが、インターリーバ  $702(1,1) \sim 702(1,m2-1)$  のそれぞれに供給される入力データのビット数は順次大きくなっていく。

第 7 図に示すターボ符号化装置 700 の動作を説明する。入力データ  $D701$  は畳み込み符号化回路  $701(1,1)$  に供給される。そして、この畳み込み符号化回路  $701(1,1)$  では入力データ  $D701$  に対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データ  $D702(1,1)$  が出力される。

この符号化データ  $D702(1,1)$  はインターリーバ  $702(1,1)$  でデータの順序が交錯された後に畳み込み符号化回路  $701(1,2)$  に供給される。そして、この畳み込み符号化回路  $701(1,2)$  では入力データに対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データ  $D702(1,2)$  が出力される。以下同様にして、インターリーバ 7



0 2 (1,2)~7 0 2 (1,m2-1)および畳み込み符号化回路7 0 1 (1,3)~7 0 1 (1,m2)でインターリーブおよび畳み込み符号化が交互に行われ、畳み込み符号化回路D 7

0 2 (1,m2)より最終的な符号化データD 7 0 2 (1,m2)が出力される。

また、入力データD 7 0 1は、インターリーブ7 0 2 (1,0)~7 0 2 (m1-1,0)の直列回路に供給され、順次入力されたデータにおける各データの順序が交錯されて出力される。これらインターリーブ7 0 2 (1,0)~7 0 2 (m1-1,0)の出力データはそれぞれ畳み込み符号化回路7 0 1 (2,1)~7 0 1 (m1,1)に供給される。そして、これら畳み込み符号化回路7 0 1 (2,1)~7 0 1 (m1,1)では、それぞれインターリーブ7 0 2 (1,0)~7 0 2 (m1-1,0)の出力データに対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データD 7 0 2 (2,1)~D 7 0 2 (m1,1)が出力される。

第7図に示すターボ符号化装置7 0 0によれば、第1図に示すターボ符号化装置1 0 0と同様に、各インターリーブ7 0 2 (1,1)~7 0 2 (1,m2-1), 7 0 2 (1,0)~7 0 2 (m1-1,0)では簡単な算術演算で置換位置を求めて入力されたデータの並べ換えが行われる。したがって、各インターリーブ7 0 2 (1,1)~7 0 2 (1,m2-1), 7 0 2 (1,0)~7 0 2 (m1-1,0)には置換位置情報が記憶された置換データROM等が不要となり、回路規模を小さくできる。

なお、ハイブリッド型のターボ符号化装置としては、第7図に示すターボ符号化装置7 0 0において、さらに畳み込み符号化回路7 0 1 (2,1)~7 0 1 (m1,1)の一部および全部の後段に、畳み込み符号化回路7 0 1 (1,1)の後段と同様に、1組または複数組のインターリーブおよび畳み込み符号化回路の組を接続した構成のものも考えられるが、インターリーブの構成を、第7図に示すターボ符号化装置7 0 0におけるインターリーブの構成と同様に算術演算で置換位置を求める構成とすることで、置換位置情報が記憶された置換データROM等が不要となり、回路規模を小さくできる。

第8図は、第7図に示すハイブリッド型のターボ符号化装置7 0 0に対応したターボ復号装置8 0 0の構成を示している。

このターボ復号装置 800 は、ターボ符号化装置 700 を構成する畳み込み符号化回路 701 (1,m2)~701 (1,1) に対応した m2 個の直列接続されたソフトアウトプット復号回路 801 (1,m2)~801 (1,1) と、ターボ符号化装置 700 を構成する畳み込み符号化回路 701 (2,1)~701 (m1,1) に対応した (m1-1) 個

のソフトアウトプット復号回路 801 (2,1)~801 (m1,1) とを有して構成されている。ソフトアウトプット復号回路 801 (1,m2)~801 (1,1), 801 (2,1)~801 (m1,1) は、符号化側での入力データが 0 または 1 である確率を算出する機能を持つ、いわゆるソフトアウトプット復号方式を用いて構成されている。

このターボ復号装置 800 においては、ターボ符号化装置 700 より出力される符号化データ D702 (1,m2) に対応した受信データ D802 (1,m2) に対してソフトアウトプット復号回路 801 (1,m2)~801 (1,1) で順次復号動作が行われる。この場合、各ソフトアウトプット復号回路 801 (1,m2)~801 (1,1) では、隣接するソフトアウトプット復号回路で算出される符号化側での入力データおよび出力データに対する推定確率値データを利用し、数回または数 10 回の反復復号動作が行われる。図示せず、復号回路 801 (1,m2)~801 (1,2) の復号動作で得られる復号データは、符号化装置におけるインターリーブとは逆のデインターリーブが行われて次段の復号回路 801 (1,m2-1)~801 (1,1) に供給されている。

また、ターボ符号化装置 700 より出力される符号化データ D702 (2,1)~D702 (m1,1) に対応した受信データ D802 (2,1)~D802 (m1,1) に対してそれぞれソフトアウトプット復号回路 801 (2,1)~801 (m1,1) で復号動作が行われる。そして、これら復号回路 801 (2,1)~801 (m1,1) および上述した復号回路 801 (1,1) では、それぞれ符号化側でのターミネーションビットを除いた入力データに対する推定確率値データを互いに利用し、数回または数 10 回の反復復号動作が行われる。そして、任意の復号回路 (第 8 図では復号回路 801 (1,1)) より最終的な復号データ D801 が出力される。

第 9 図は、実施の形態 4 としてのターボ符号化装置 150 の構成を示している

。このターボ符号化装置 150 は、入力データ D 151 に対して畳み込み符号化を行って符号化データ D 152-1 を得る畳み込み符号化回路 151-1 と、この畳み込み符号化回路 151-1 でのターミネーションビットを含めた全ての入力データ D 153 に対して順次インターリーブを行うインターリーバ 152-1 ~ 152-(m-1) と、これらインターリーバ 152-1 ~ 152-(m-1) の出力データに対してそれぞれ畳み込み符号化を行って符号化データ D 152-2 ~ D 152-m を得る畳み込み符号化回路 151-2 ~ 151-m とを有している。ここで、m は 2 以上の整数

である。

畳み込み符号化回路 151-1 ~ 151-m は、入力されたデータに対して畳み込み演算を行い、演算結果をそれぞれ符号化データとして出力するものである。また、インターリーバ 152-1 ~ 152-(m-1) は、入力されたデータにおける各データの順序を交錯して出力するものである。畳み込み符号化回路 151-1 は第 15 図に示す従来のターボ符号化装置 300 における畳み込み符号化回路 301-1 ~ 301-m と同様に構成されるが（第 16 図参照）、畳み込み符号化回路 151-2 ~ 151-m はそのターミネーション回路が削減された構成とされる。

第 10 図は、インターリーバ 152-1 ~ 152-(m-1) の構成を示している。第 10 図に示すインターリーバ 170 は、入力データ保持メモリ 171 と、データ分配回路 172 と、複数のデータ置換回路 173-1 ~ 173-p と、データ統合回路 174 と、出力データ保持メモリ 175 とを有してなり、入力データ D 171 における各データの順序を交錯して出力データ D 172 を得るものである。

ここで、入力データ D 171 は、入力データ保持メモリ 171 に一旦格納された後、データ分配回路 172 でその位置に応じて複数の部分に分割される。そして、この複数の部分（位置とデータの組み）はそれぞれデータ置換回路 173-1 ~ 173-p に送られる。データ置換回路 173-1 ~ 173-p では、それぞれの部分内でデータの順序のみが交錯され、入力された位置と交錯されたデータの組みが出力される。

そして、データ置換回路 173-1 ~ 173-p より出力される複数の部分（位置

とデータの組)はデータ統合回路174に送られる。データ統合回路174は、データ置換回路173-1~173-pより出力される複数の部分の位置とデータに従って、出力データ保持メモリ175にデータを書き込む。

なお、データ統合回路174は、各データ置換回路173-1~173-pから出力される複数の部分のデータ数が等しいとき、さらに各データ置換回路173-1~173-pから出力される複数の部分間でデータと組みになっている位置を交換し、その後に交換された位置とデータに従って出力データ保持メモリ175にデータを書き込む。その後、出力データ保持メモリ175の内容が出力データD172として出力される。

第10図に示すインターリーバ170のデータ置換回路173-1~173-pとしては、第11図に示す従来のターボ符号化装置300で使用されているインターリーバ(第17図参照)、第1図に示すターボ符号化装置100で使用されているインターリーバ(第2図参照)等、全てのインターリーバが適用可能である。

第11図は、インターリーバ170のサイズが6で、入力データD171がデータ分配回路172で2個ずつの位置とデータの組みでなる3個の部分に分配され、それぞれの部分が3個のデータ置換回路173-1~173-3に送られる場合におけるインターリーバ170の動作例を示している。この場合、入力データD171が“110101”であるとき、出力データD172として“110011”が得られる。

第9図に示すターボ符号化装置150の動作を説明する。入力データD151は畳み込み符号化回路151-1に供給される。そして、この畳み込み符号化回路151-1では入力データD151に対して畳み込み演算が行われ、続いてターミネーションが行われ、ターミネーションを含む符号化処理による符号化データD152-1が出力される。

また、畳み込み符号化回路151-1でのターミネーションビットを含めた全ての入力データD153は、インターリーバ152-1~152-(m-1)の直列回路に供給され、順次入力されたデータの順序が交錯されて出力される。これら、イン

ターリーバ152-1~152-(m-1)の出力データはそれぞれ畳み込み符号化回路151-2~151-mに供給される。そして、これら畳み込み符号化回路151-2~151-mでは、それぞれインターリーバ152-1~152-(m-1)の出力データに対して畳み込み演算が行われ、符号化データD152-2~D152-mが出力される。

ここで、畳み込み符号化回路151-1~151-mやインターリーバ152-1~152-(m-1)が以下の条件を満たすように構成されている。

- i) m個の畳み込み符号化回路151-1~151-mにおける畳み込み符号の生成多項式を同一のものとする。このとき、共通の生成多項式  $H(D)/Q(D)$  の  $Q(D)$  が、多項式  $1+D^e$  を割り切る。
- ii) インターリーバ152-1~152-(m-1)のサイズNがeの倍数である。
- iii) インターリーバ152-1~152-(m-1)のデータ分配回路はデータ位置をeで割ったときの余りが等しい位置のデータについて、その位置とデータの組みを同一のデータ置換回路に出力する。
- iv) 入力データが直接与えられる畳み込み符号化回路151-1のターミネーション回路からの出力データを、ターミネーション処理時に出される出力も含めてインターリーブを行う。
- v) インターリーバ152-1~152-(m-1)への入力データ  $d_0, d_1, \dots, d_{N-1}$  を  $N-1$  次の多項式の係数とした多項式  $d_{N-1}x^{N-1} + d_{N-2}x^{N-2} + \dots + d_1x + d_0$  が  $1+x^e$  によって割り切られるときに、データ統合回路からの出力を係数とする多項式もまた、 $1+x^e$  によって割り切られるように、データ統合回路における位置の交換を行う。

これにより、畳み込み符号化回路151-2~151-mでそれぞれインターリーバ152-1~152-(m-1)の出力データに対して畳み込み演算をするとき、畳み込み符号化回路151-2~151-mは自動的にターミネーションをする。つまり、ターミネーション処理によって畳み込み符号化回路151-1がターミネートすると同時に、畳み込み符号化回路151-2~151-mもターミネートする。したがって、第9図に示すターボ符号化装置150によれば、上述したように、畳み

込み符号化回路151-2~151-mをターミネーション回路を削減した構成とすることができ、回路規模を小さくできる。

第12図は、ターボ符号化装置150の入力データD151と、畳み込み符号化回路151-1のターミネーション回路の出力データ、つまりの畳み込み符号化回路151-1でのターミネーションビットを含めた全ての入力データD153と、符号化データD152-1~D152-mのビット数の関係を示している。

入力されたkビットのデータに対して畳み込み符号化回路151-1によってターミネーションを含む符号化処理が行われ、 $(n_1 + t_1)$ ビットの符号化データD152-1が得られる。次に、この畳み込み符号化回路内151-1のターミネーション回路の $(k + t)$ ビットの出力データがインターリーバ152-1~152-(m-1)に供給され、これらインターリーバ152-1~152-(m-1)の出力データに対して符号化回路151-1~151-mによって符号化処理が行われ、 $(n_2 + t$

2) ~  $(n_m + t_m)$ ビットの符号化データD152-1~D152-mが得られる。

なお、第10図のインターリーバ170では、データ置換回路173-1~173-pとデータ統合回路174の双方でデータの並べ換えを行うものを示したが、どちらか一方のみによるデータの並べ換えだけでもよい。ただし、双方でデータの並べ換えを行った方がよりデータの攪拌が行われるため符号性能が向上することとなる。

第13図は、実施の形態5としてのターボ復号装置200の構成を示している。このターボ復号装置200は、第9図に示すターボ符号化装置150より出力される符号化データより復号データを得るものである。このターボ復号装置200は、ターボ符号化装置150より出力される符号化データ（受信データ）の個数に対応した複数のソフトアウトプット復号回路201-1~201-mを有してなるものである。ソフトアウトプット復号回路201-1~201-mは、第21図に示す従来のターボ復号装置400のソフトアウトプット復号回路401-1~401-mと同様に、MAPデコーダおよびSOVAデコーダ等の符号化側での入力データが0または1である確率を算出する機能を持つ、いわゆるソフトアウトプット

ト復号方式を用いて構成される。

第13図に示すターボ復号装置200の動作を説明する。受信データ（符号化データ） $D201-1 \sim D201-m$ は、それぞれソフトアウトプット復号回路201-1～201-mに供給される。そして、各復号回路201-1～201-mでは、それぞれ符号化側での入力データに対する推定確率値データを互いに利用し、数回または数10回の反復復号動作が行われる。そして、任意の復号回路（第13図では復号回路201-1）より最終的な復号データ $D202$ が出力される。ここで、第9図に示すターボ符号化装置150より出力される複数の符号化データは、上述したように、ターミネーション時のデータも含めて全て同じデータから生成されたものであり、各復号回路201-1～201-mの間でターミネーションビットを含めた全ての入力データに対する推定確率値データのやり取りを行って符号化データの復号を行うことができる。これにより、第13図に示すターボ復号装置200は、第21図に示す従来のターボ復号装置200に比べて復号性能を高めることができる。

第14図は、ターボ復号装置200の受信データ $D201-1 \sim D201-m$ 、推定確率値データおよび復号データ $D202$ のビット数の関係を表したものであり第12図のターボ符号化装置150における各ビット数の関係と対応している。ソフトアウトプット復号回路201-1～201-mは、それぞれ $(n_i + t_i) \sim (n_m + t_m)$ ビットの受信データ $D201-1 \sim D201-m$ より、入力データとターミネーション時入力データに対する $(k + t)$ ビットの推定確率値データを算出する。そして、その $(k + t)$ ビットの推定確率値データを各復号回路間でやり取りし、最終的に $k$ ビットの復号データ $D202$ を出力する。

以上説明したように、この発明によれば、ターボ符号化装置でのインターリーブ処理において入力される各データの置換位置を演算で求めるものであり、置換位置を保持するためのメモリを不要とでき、ターボ符号化装置の回路規模を小さくできる。

また、この発明によれば、ターボ符号化装置のインターリーブ回路の置換位置に制限を加え、さらに最初の畳み込み符号化回路でのターミネーションビットを

含めた全ての入力データをインターリーブ回路に入力するものであり、ターボ符号化装置の2番目以降の畳み込み符号化回路ではターミネーション回路なしに自動的にターミネーションが行われることとなり、ターボ符号化装置の回路規模を小さくできる。

また、この発明によれば、複数の符号化データがターミネーション時のデータも含めて全て同じデータから生成されたものであるとき、ターボ復号装置の各復号回路の間でターミネーションビットを含めた全ての入力データに対する推定確率値データのやり取りを行って符号化データの復号が行われるものであり、復号装置の復号性能を高めることができる。

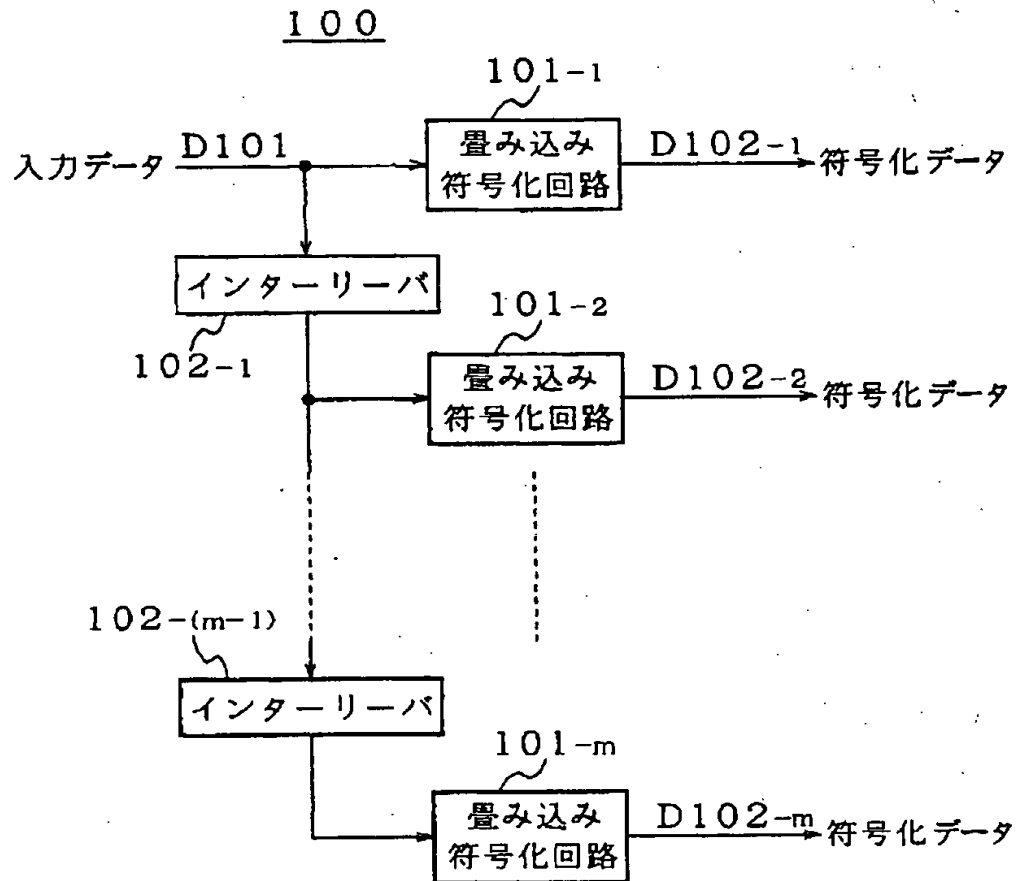
#### 産業上の利用可能性

以上のように、この発明に係るターボ符号化装置、ターボ復号装置等は、衛星通信や移動体通信等における符号化装置、復号装置に適用して好適である。



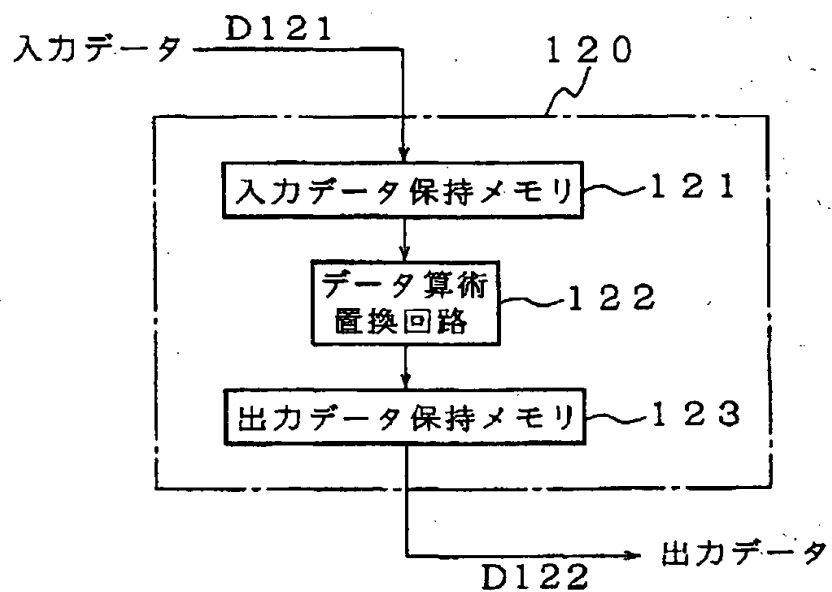
【図1】

FIG. 1



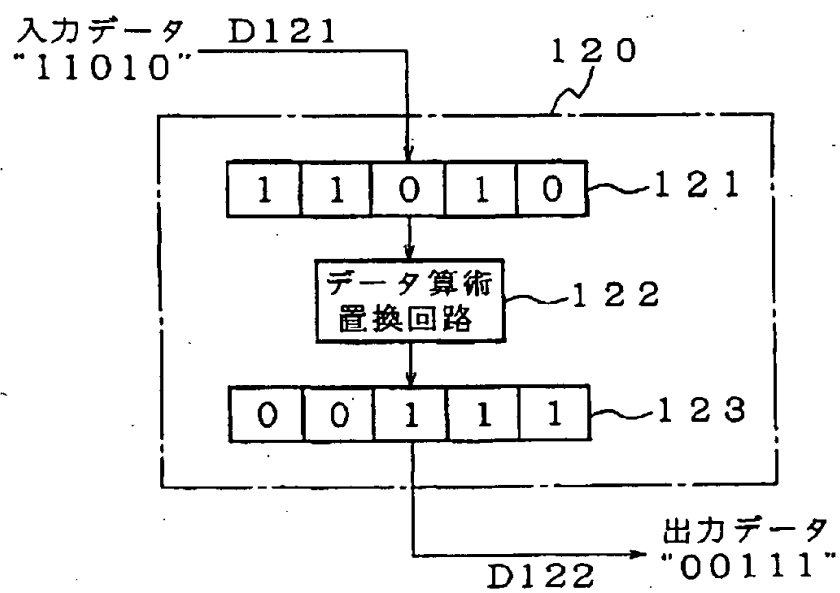
【図2】

FIG. 2



【図3】

FIG. 3



【図4】

FIG. 4

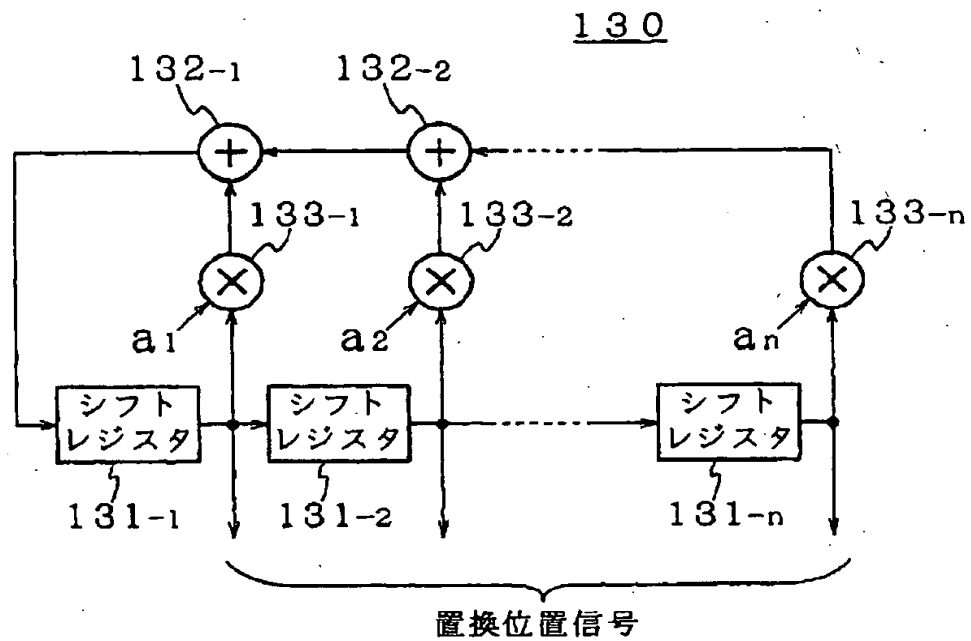
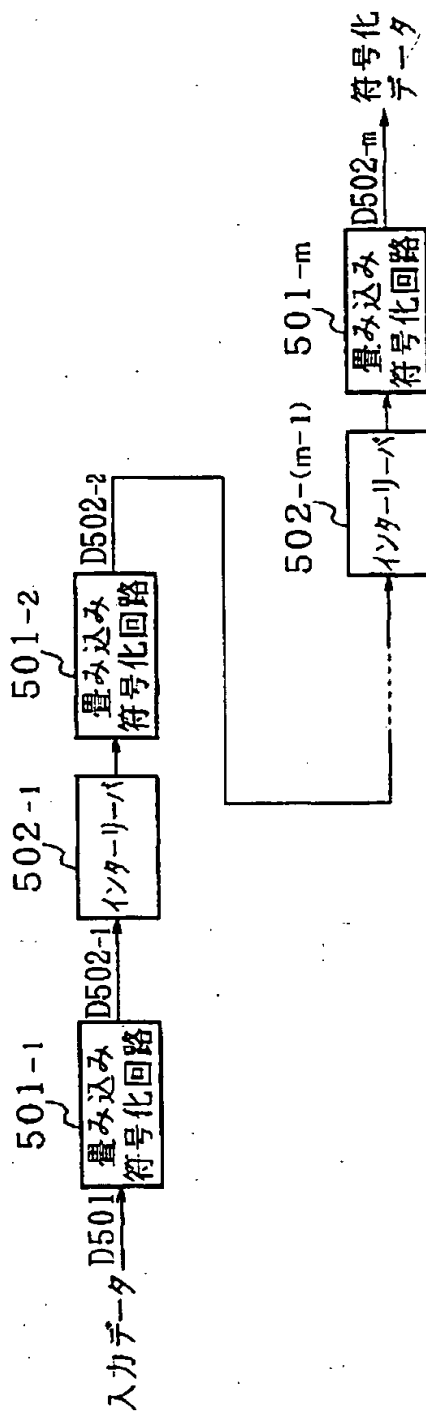


FIG. 5

500



【図 6】

FIG. 6

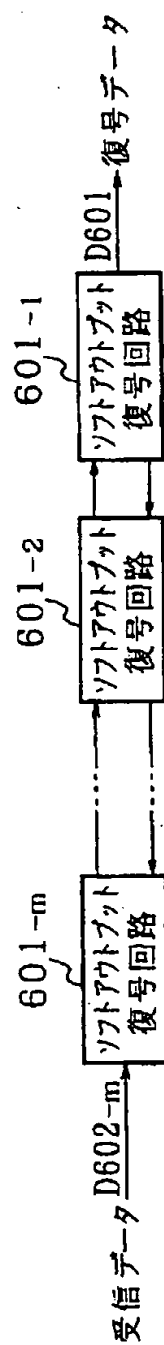
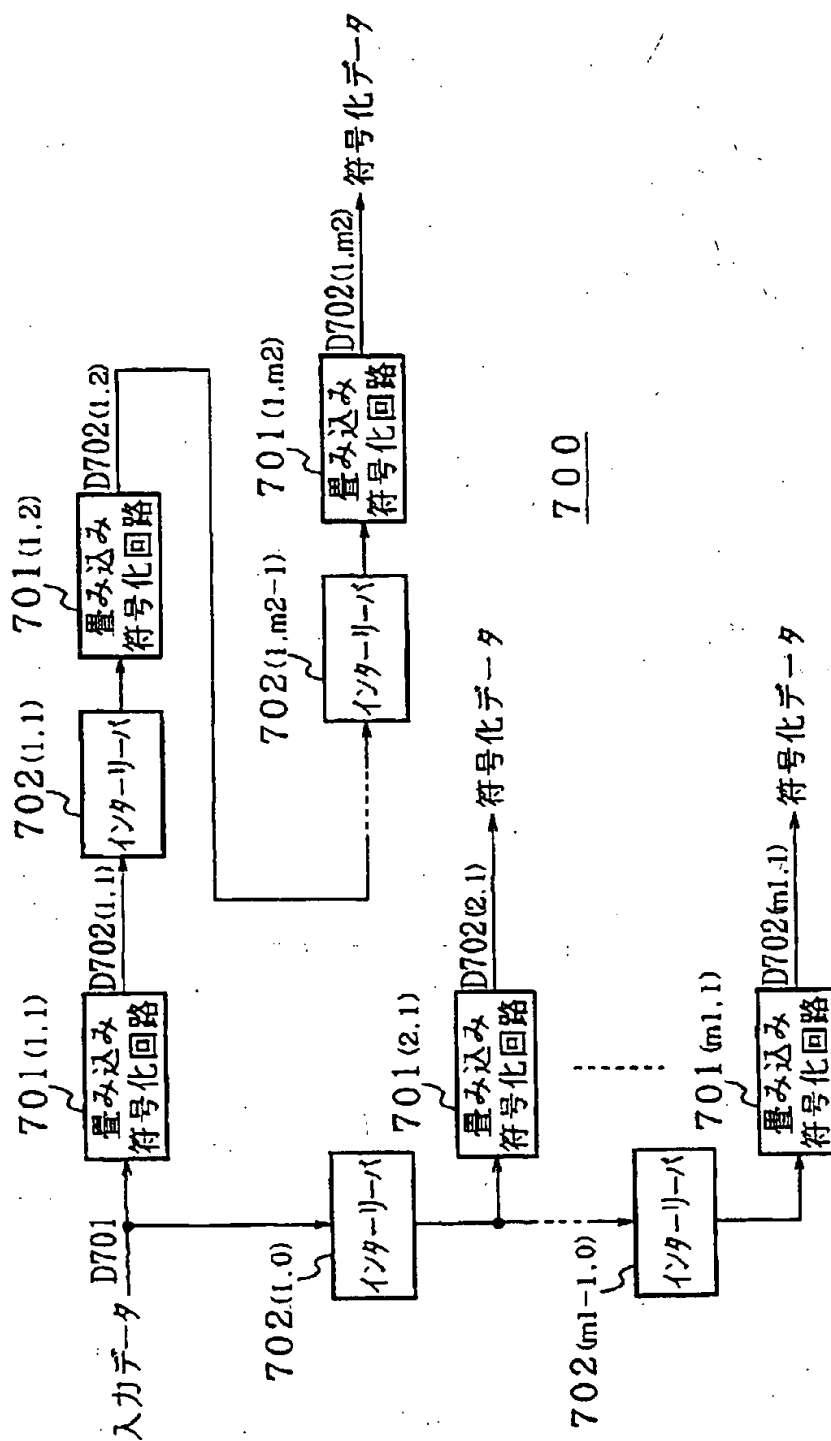
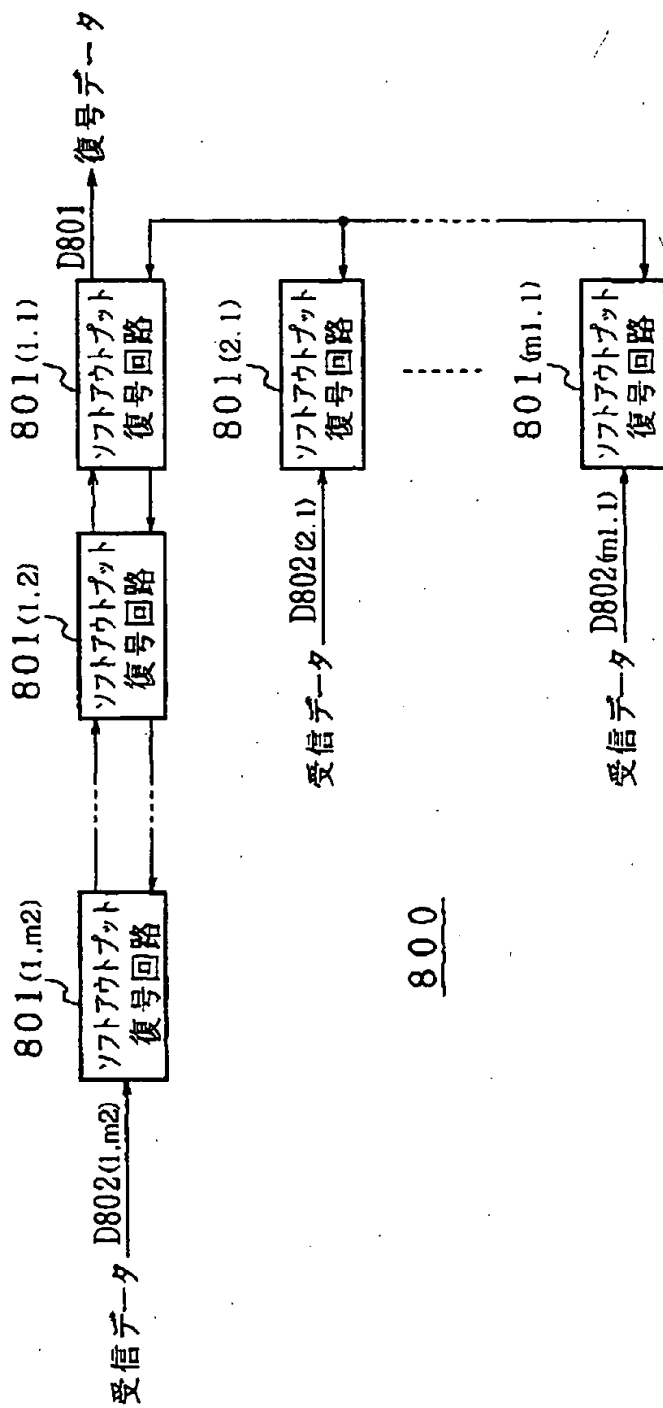
600

FIG. 7



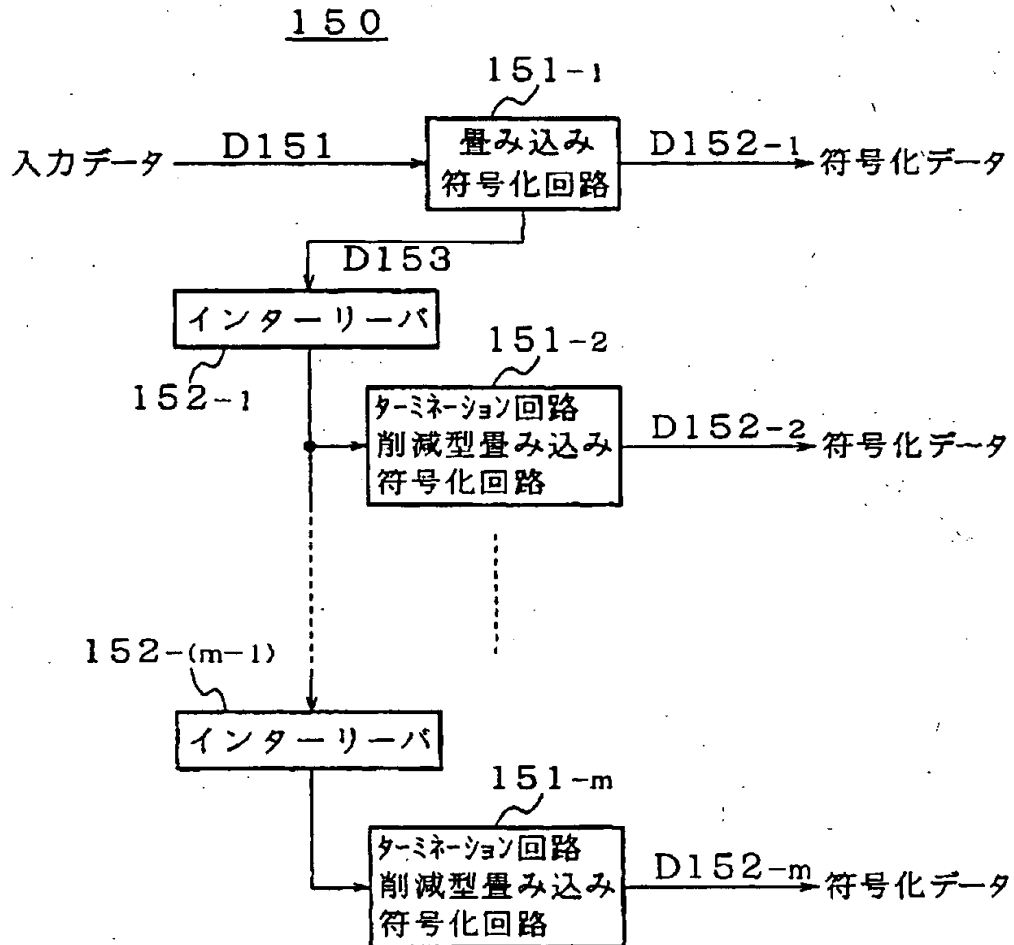
【図 8】

FIG. 8



【図9】

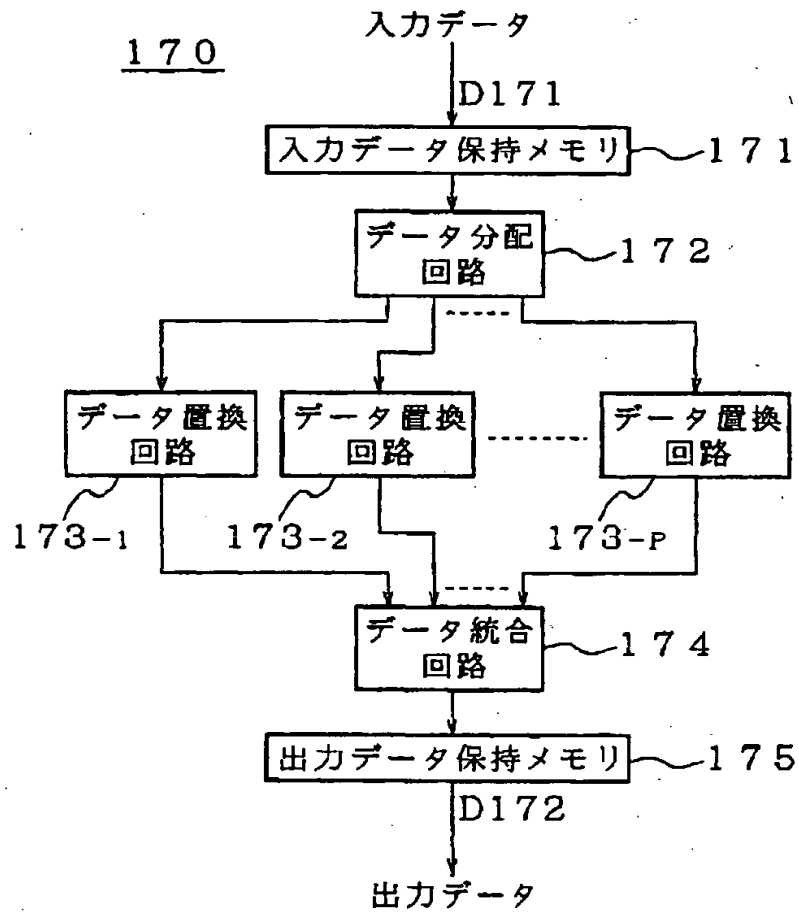
FIG. 9





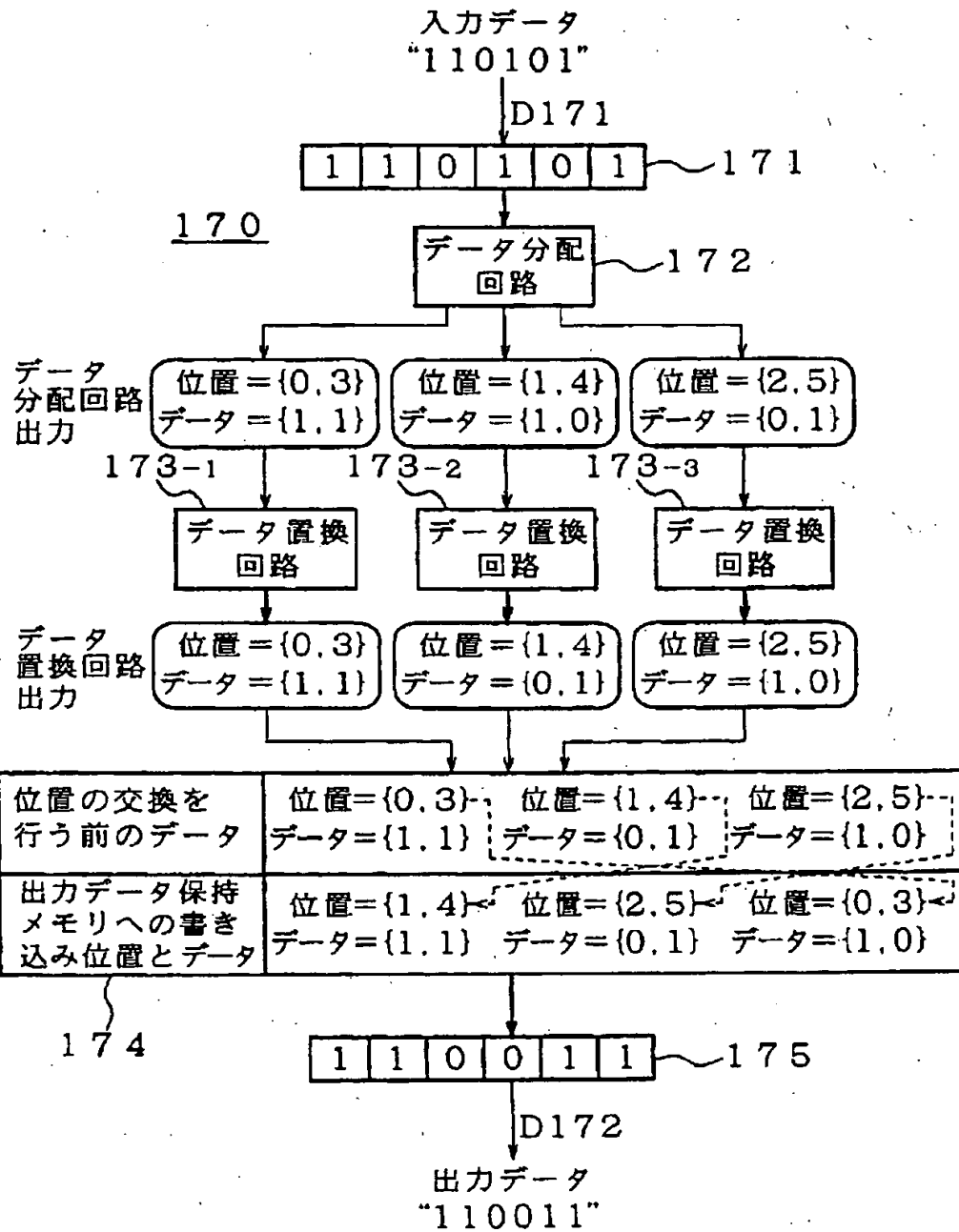
【図10】

FIG. 10



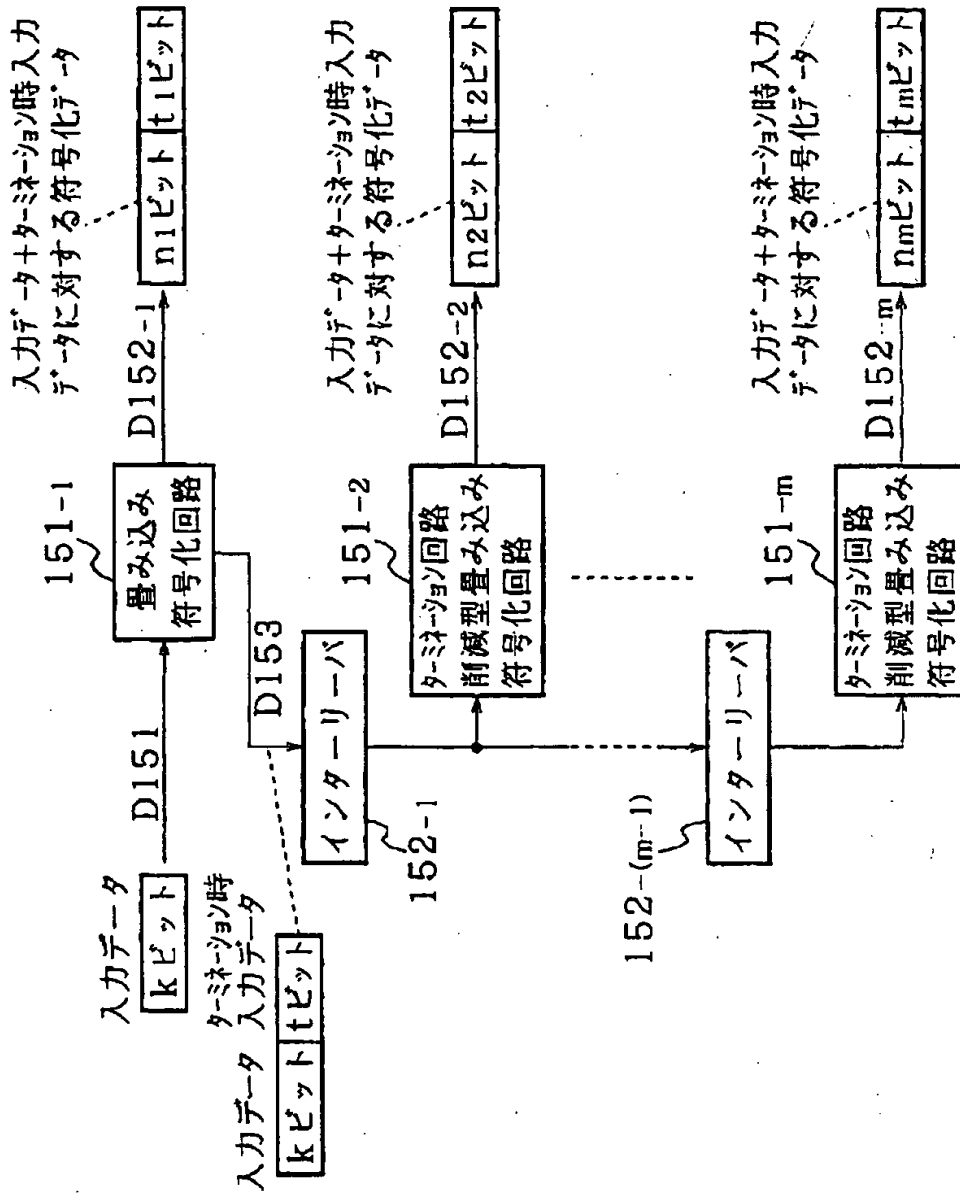
【図11】

FIG. 11



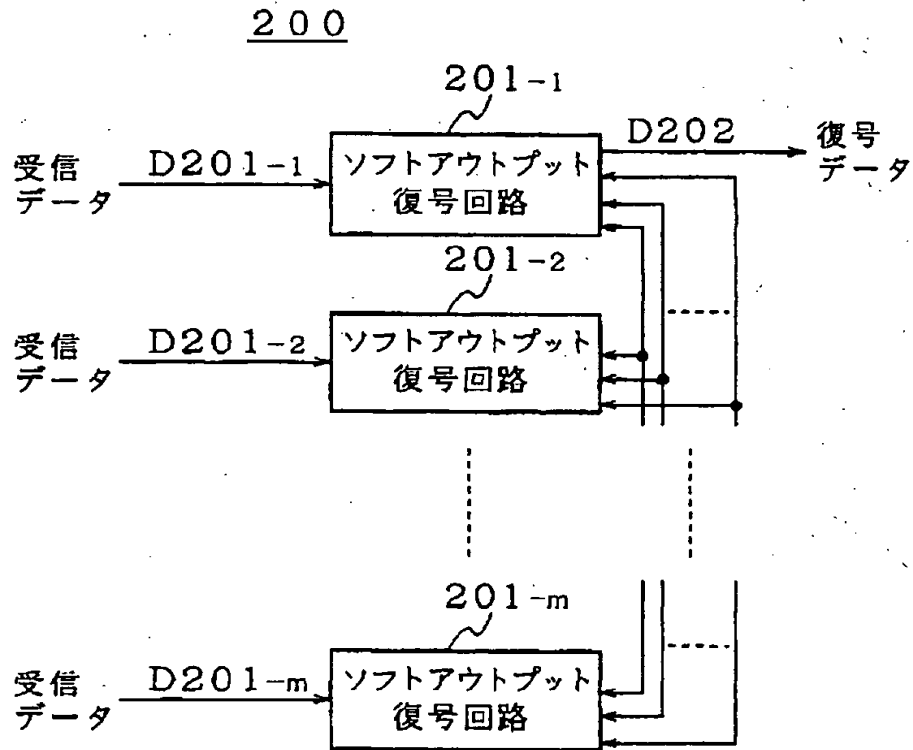
【図 12】

FIG. 12



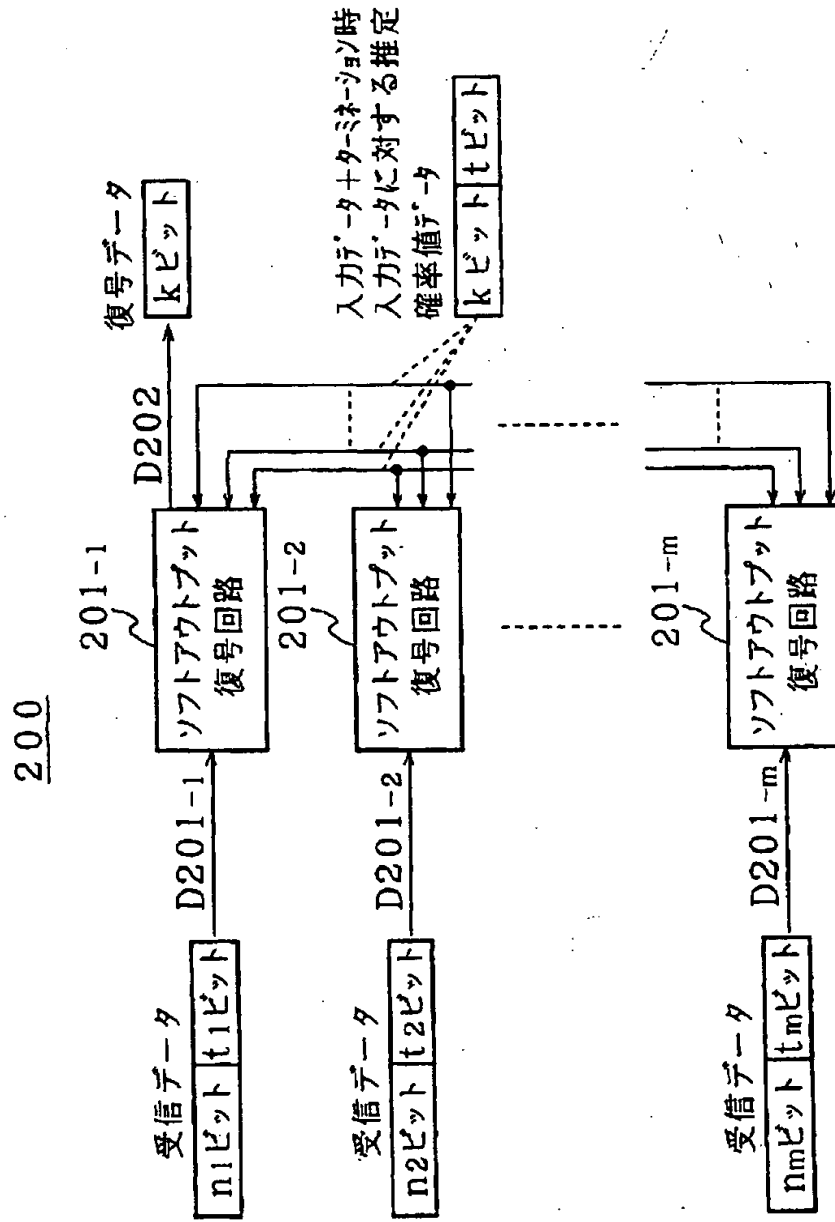
【図13】

FIG. 13



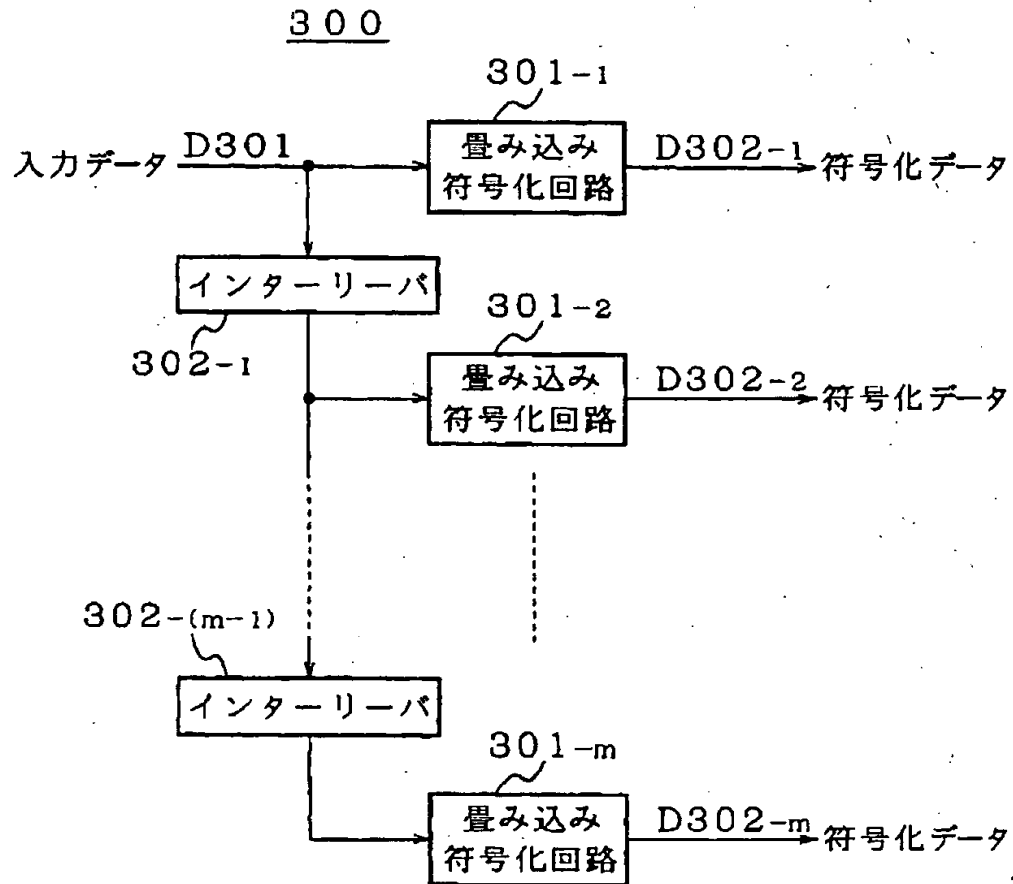
【図14】

FIG. 14



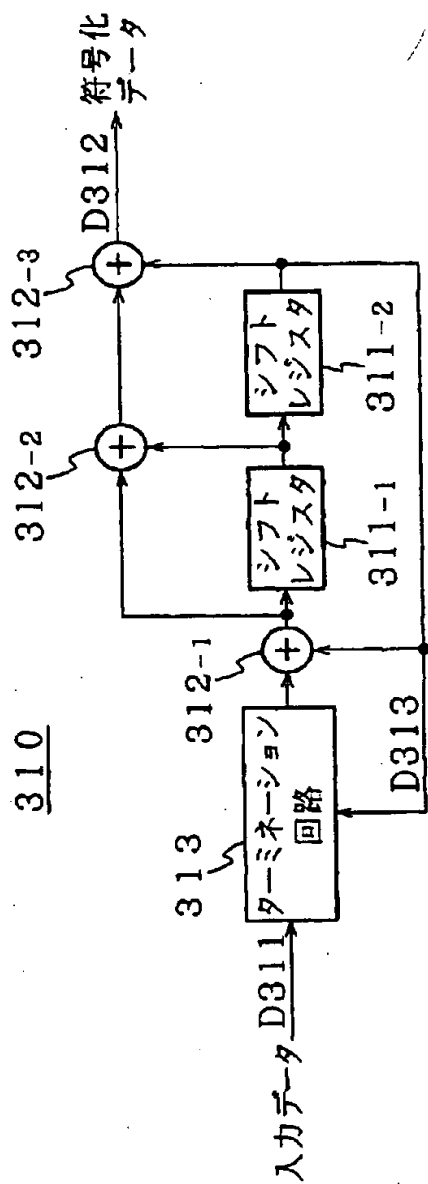
【図15】

FIG. 15



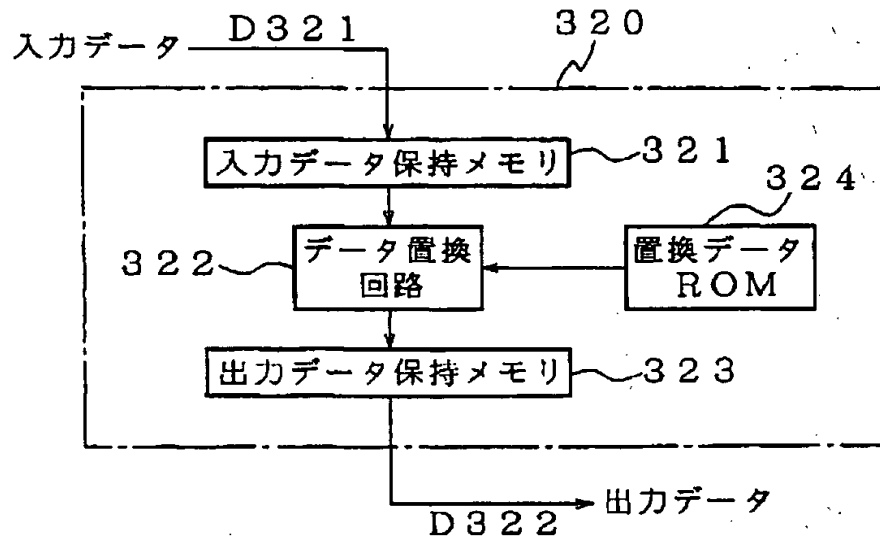
【図16】

FIG. 16



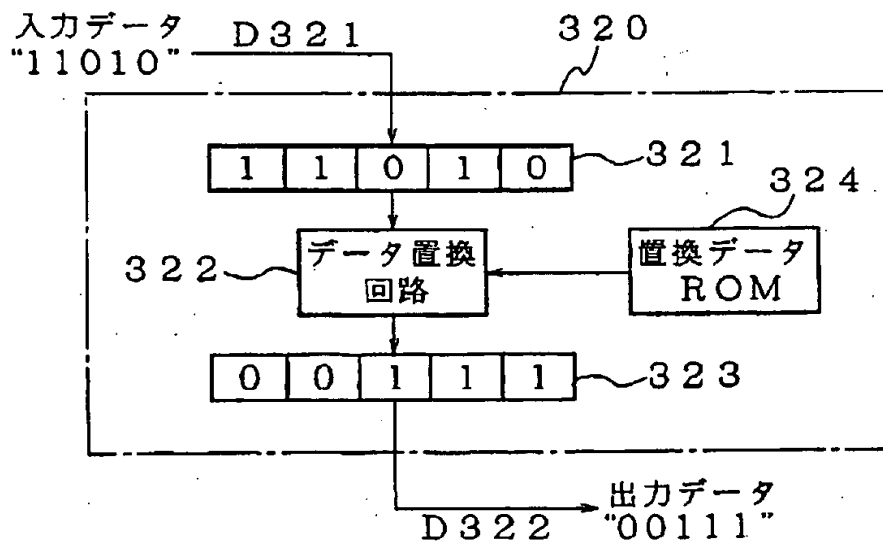
【図17】

FIG. 17



【図18】

FIG. 18





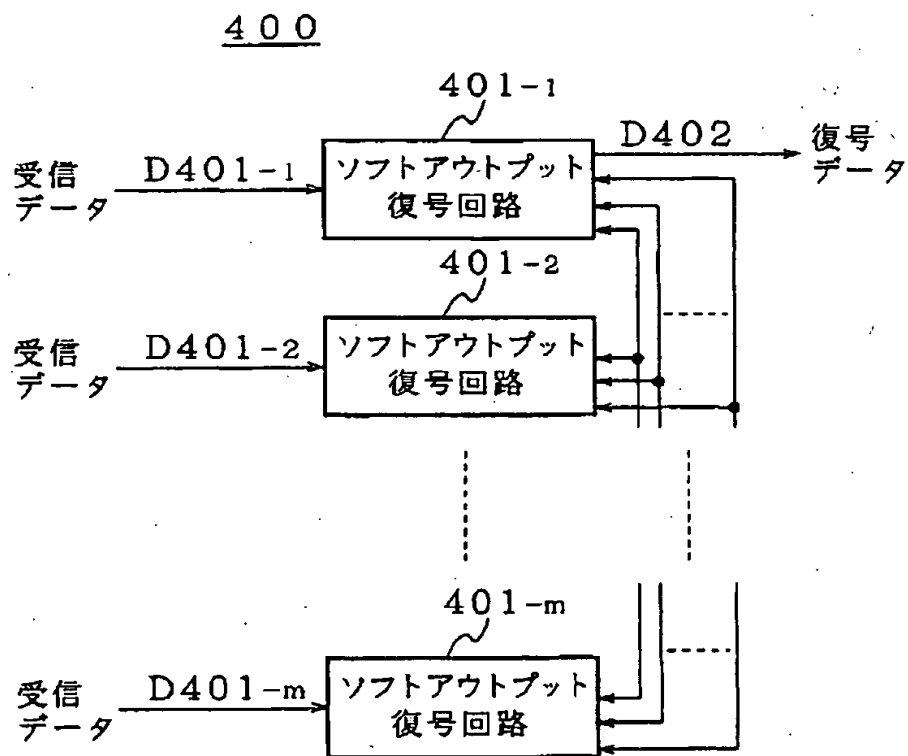
【図19】

FIG. 19

入力データ位置	0	1	2	3	4
置換データ位置	4	2	0	3	1

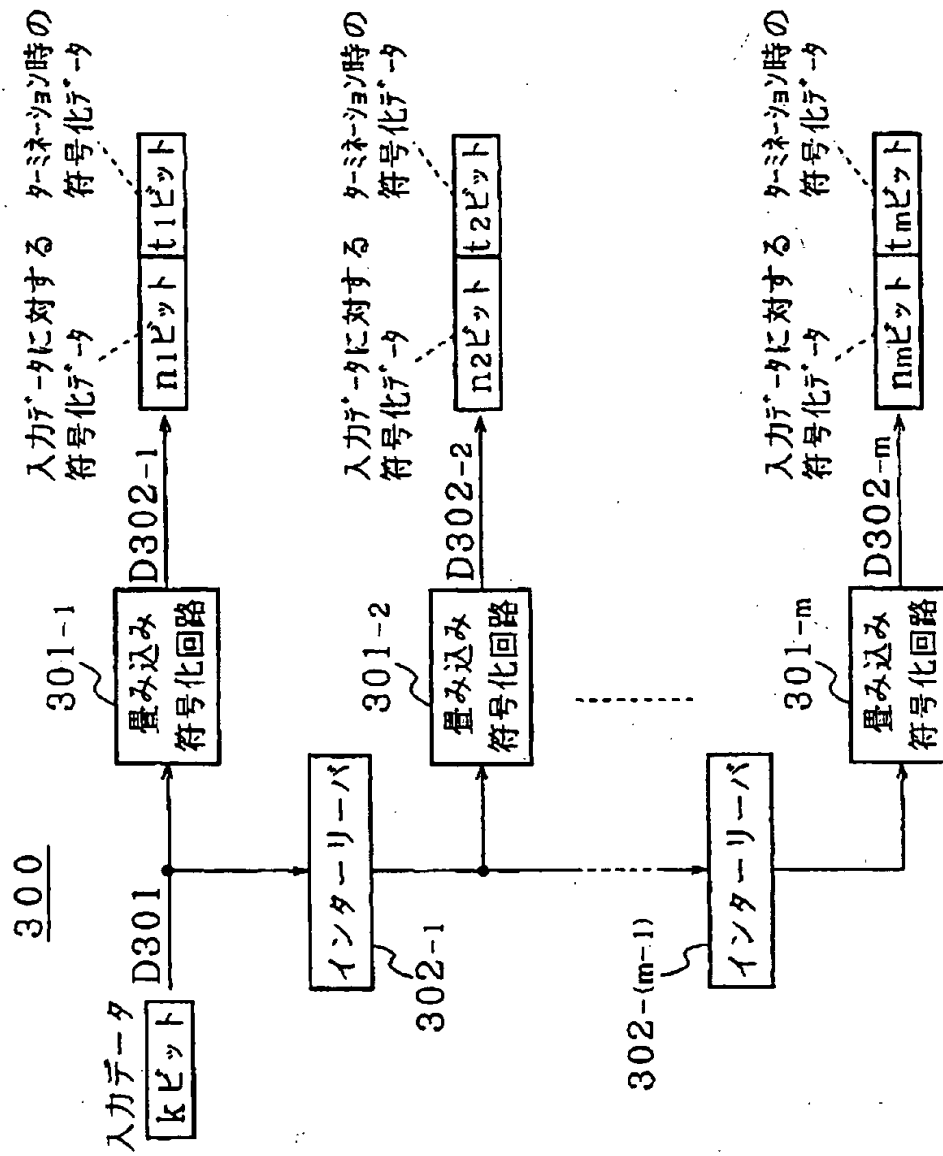
【図21】

FIG. 21



【図20】

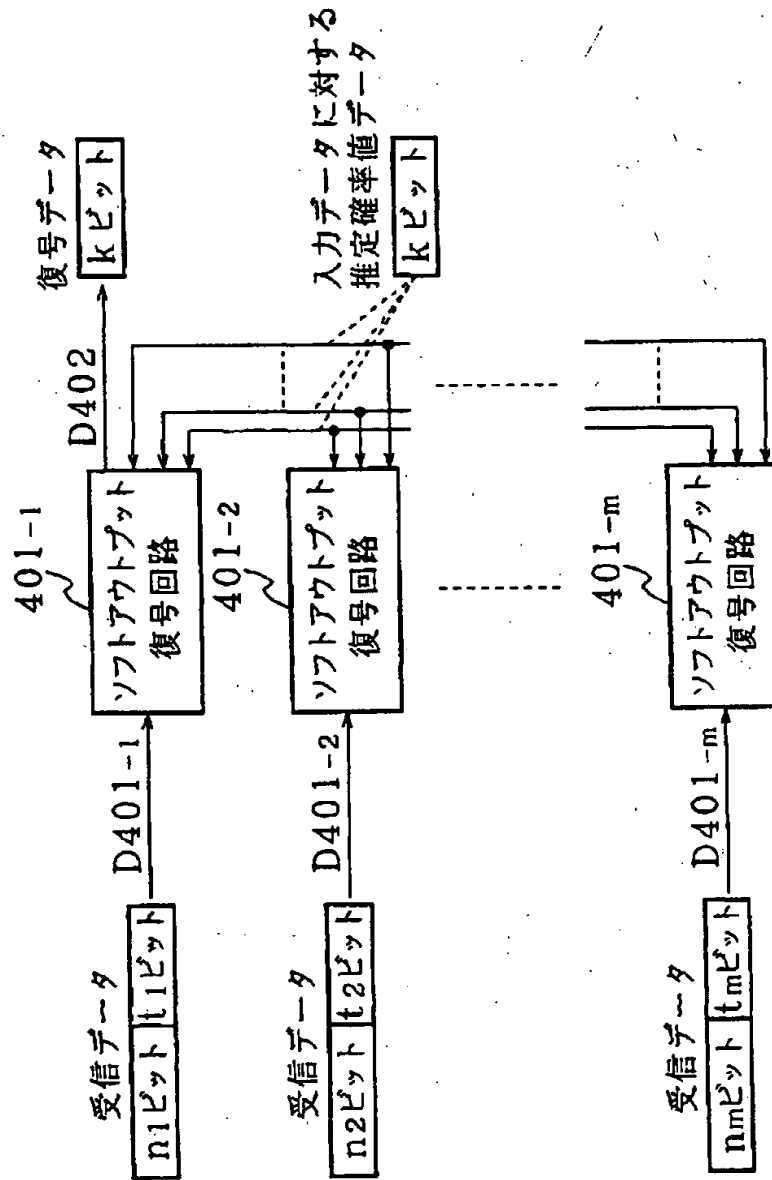
FIG. 20



【図22】

FIG. 22

400



## 【国際調査報告】

国際調査報告		国際出願番号 PCT/JP98/03933	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) H03M13/12, H03M13/22			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) H03M13/00-13/22			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-1998年 日本国特許実用新案公報 1994-1998年 日本国実用新案登録公報 1996-1998年			
国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	S. Dolinar and D. Divsalar, "Weight Distributions for Turbo Codes Using Random and Nonrandom Permutations", The Telecommunications and Data Acquisition Report 42-122, Jet Propulsion Laboratory, August 15, 1995, Pasadena, California, pp. 56-65. 特にp. 62-p. 63参照。	1, 2, 5, 15, 16, 19	
Y		3, 4, 17, 18, 23	
A		6-9, 20-22	
Y	D. Divsalar and P. Pollara, "Hybrid Concatenated Codes and Iterative Decoding", The Telecommunications and Data Acquisition Report 42-130, Jet Propulsion Laboratory, August 15, 1997, Pasadena, California, 特にFig. 1参照。	3, 17	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であつて出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であつて、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であつて、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 01.12.98		国際調査報告の発送日 15.12.98	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関二丁目4番3号		特許庁審査官 (権限のある職員) 稲葉 和生 印 電話番号 03-3581-1101 内線	
		5K	8732

## 国際調査報告

国際出願番号 PCT/JP98/03933

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の符号
Y	S. Benedetto, D. Divsalar, G. Montorsi, and F. Pollara, "Serial Concatenation of Interleaved Codes: Performance Analysis, Design, and Iterative Decoding", The Telecommunications and Data Acquisition Report 42-126, Jet Propulsion Laboratory, August 15, 1996, Pasadena, California, 特にFig. 4参照。	4, 18
X	W. J. Blackert, E. K. Hall and S. G. Wilson, "Turbo code termination and interleaver conditions", Electronics Letters, Vol. 31, No. 24, Nov. 23, 1995, pp. 2082-2084, 特にp. 2083右欄1-6行参照。	10, 14, 24, 28
Y		12, 26
A		11, 13, 25, 27
Y	JP. 56-51141, A (三菱電機株式会社) 8. 5月. 1981 (08. 05. 81) (ファミリーなし) 特に第4図(d)を参照。	12, 26
Y	P. Jung and M. Nabhan, "Dependence of the error Performance of turbo-codes on the interleaver structure in short frame transmission systems", Electronics Letters, Vol. 30, No. 4, Feb. 17, 1994, 特に p. 287 右欄 29-31 行参照。	23

---

フロントページの続き

(72)発明者 マックリース ロバート ジェイ  
カリフォルニア州 91125 バサデナ、カ  
リフォルニア ブルーバード1200E、メイ  
ル ストップ 201-85、カリフォルニア  
インステテュート オブ テクノロジー  
内

(72)発明者 村山 淳  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 服部 雅之  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。